

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252462

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 29/78  
H01L 21/28  
H01L 29/43  
H01L 21/336  
H01L 29/786

(21)Application number : 11-052683

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 01.03.1999

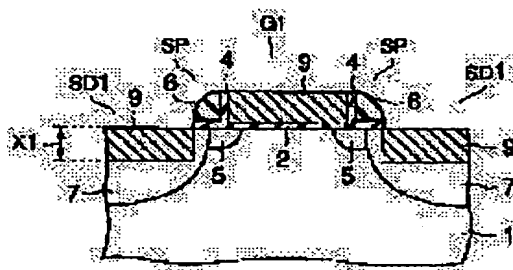
(72)Inventor : MIYASHITA KATSURA  
OUCHI KAZUYA

## (54) MIS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a MIS semiconductor device and a manufacturing method with reliability and simple manufacturing technique without a problem of a gate depletion phenomenon.

**SOLUTION:** A gate electrode made of only a metallic silicide film 9 is formed on a semiconductor substrate. Polysilicon for a gate electrode is selectively formed on a gate insulating film 2. Spacers 5 are formed on both sides thereof and source/drain regions are formed on the surface of the substrate. The upper face of the polysilicon is covered with metallic material with thickness enough to make all the polysilicon in a silicide state, and all the polysilicon is substituted into a metallic silicide film 9 in a heat treatment step. Then, the source/drain part SD1 is changed into a silicide state through the covering metallic material. At the same time the source/drain part SD1 contains the metallic silicide film 9 so that a salicide structure is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] An MIS mold semiconductor device characterized by providing a gate electrode which consists only of a semiconductor substrate, the source / drain section formed by separating a channel field on said surface of a substrate, a gate insulator layer formed on said channel field, and a metal silicide film formed on said gate insulator layer.

[Claim 2] Said gate insulator layer is  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2+\text{Si}_3\text{N}_4$ , and  $\text{SiO}_x\text{Ny}+\text{Si}_3\text{N}_4$ . An MIS mold semiconductor device according to claim 1 characterized by being the material chosen from inside.

[Claim 3] Said metal silicide film is  $\text{CoSi}_2$ . An MIS mold semiconductor device according to claim 1 characterized by containing.

[Claim 4] Said source / drain section are an MIS mold semiconductor device according to claim 1 characterized by including a metal silicide layer.

[Claim 5] Said source / drain section are an MIS mold semiconductor device according to claim 1 characterized by including a metal silicide layer which has height from said substrate.

[Claim 6] Said source / drain section are an MIS mold semiconductor device according to claim 1 characterized by including a metal silicide layer of the same height as said gate electrode.

[Claim 7] A manufacture method of an MIS mold semiconductor device characterized by providing the following. A production process which forms a gate insulator layer on an active element field on a semiconductor substrate A production process which forms polish recon alternatively on said gate insulator layer A production process which forms the source / drain field in the substrate surface of both sides of said polish recon A production process which forms at least a gate electrode with which all these polish recons make metal silicide all replace said polish recon upper surface section by wrap production process by heat treatment with a metallic material of sufficient thickness to silicide-ize, and consist said polish recon only of a metal silicide film

[Claim 8] Said metallic material is the manufacture method of an MIS mold semiconductor device according to claim 7 characterized by being replaced by metal silicide through rapid annealing and selection wet etching from formation by sputtering.

[Claim 9] Said metallic material is the manufacture method of an MIS mold semiconductor device according to claim 7 or 8 characterized by providing further a production process by which a metal silicide layer is formed on said source / drain field in case said source / drain field top is also replaced by cover and it makes said polish recon all replace by metal silicide.

[Claim 10] A manufacture method of an MIS mold semiconductor device according to claim 7 or 8 characterized by providing further a production process which forms the source / drain field of a configuration of that a metal silicide film is included by all replacing said silicon by metal silicide in case metal silicide is made to all replace said polish recon by production process which grows up silicon on a substrate including said source / drain field.

[Claim 11] a portion which said silicon is grown up exceeding height of said polish recon, and is equivalent to said gate electrode with chemical mechanical polishing, and a portion equivalent to said source / drain field -- parenchyma -- a manufacture method of an MIS mold semiconductor device according to claim 10 characterized by providing further a flattening production process made into the same height.

[Claim 12] A manufacture method of an MIS mold semiconductor device characterized by

providing the following. A production process which forms a gate insulator layer on an active element field on a semiconductor substrate A production process which forms polish recon alternatively on said gate insulator layer A production process which forms an insulator layer in a flank of said polish recon A production process which carries out epitaxial growth of the silicon on the substrate surface including said polish recon top, and the source / drain field of both sides of polish recon, A production process at which all said silicon and polish recons deposit a metallic material of sufficient thickness to silicide-ize at least on a growth phase of said silicon, A production process which forms the source / drain field of a configuration of that a gate electrode and a metal silicide film which are made to all replace said silicon and polish recon by metal silicide by heat treatment, and consist only of a metal silicide film are included [Claim 13] A manufacture method of an MIS mold semiconductor device characterized by providing the following. A production process which forms a gate insulator layer on an active element field on a semiconductor substrate A production process which forms polish recon alternatively on said gate insulator layer A production process which forms an insulator layer in a flank of said polish recon A production process which makes a degree with which said insulator layer is covered carry out epitaxial growth of the silicon on the substrate surface including said polish recon top, and the source / drain field of both sides of polish recon, A flattening production process removed until said insulator layer exposes said grown-up silicon using chemical mechanical polishing, A production process at which all said silicon and polish recons deposit a metallic material of sufficient thickness to silicide-ize at least on said structure by which flattening was carried out, A production process which forms the source / drain field of a configuration of that a gate electrode and a metal silicide film which are made to all replace said silicon and polish recon by metal silicide by heat treatment, and consist only of a metal silicide film are included

[Claim 14] Said metallic material is the manufacture method of an MIS mold semiconductor device according to claim 13 or 14 which is a Co/TiN cascade screen or a Ti/Co/TiN cascade screen, and is characterized by being replaced by metal silicide through rapid annealing and selection wet etching from formation by sputtering.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the metallic insulator semiconductor mold transistor as which detailed-izing and high-speed operation are required, the so-called MIS (Metal Insulated Semiconductor) mold semiconductor device, and its manufacture method.

[0002]

[Description of the Prior Art] As for MOSFET or MISFET, detailed-ization is progressing for improvement in the speed. In connection with this, the following structural failures become remarkable.

[0003] For example, in using a polish recon electrode (polycide structure, the Salicide structure, and its part also contain the silicide-ized electrode) as a gate electrode, a gate depletion-ized phenomenon arises. For this reason, the effectual thickness of a gate insulator layer will become thick compared with physical thickness. Moreover, the further thin film-ization of a gate insulator layer causes increase of tunnel current. Consequently, it becomes a device actuation top problem.

[0004] Therefore, it is becoming the important element of detailed-ized achievement that MOS (or MIS) device development suppresses a gate depletion-ized phenomenon as much as possible. For example, the particle size of polish recon is changed and grain boundary area is reduced. Thereby, the grain boundary segregation of a dopant is reduced. Or an active dopant is made to increase by increasing the amount of a dopant or elevated-temperature-izing activation annealing temperature.

[0005] although the above-mentioned policy has the effect of gate depletion-ized reduction -- so much -- coming out -- enough -- \*\*\*\* -- it cannot say. Then, it considers introducing a metal as a gate electrode instead of the polish recon electrode used conventionally (metal gate). If it is made the metal gate, the problem of the formation of gate depletion will be solved and, also

effectually, a gate insulator layer will be thin-film-ized. In other words, high driving force-ization of the element in the insulator layer of the same physics thickness is attained.

[0006] However, when the manufacture method of the metal gate is considered, deterioration of the difficulty of metal processing by the RIE (reactive ion etching) production process and a size controllability is remarkable, and there are many points about which we are [ fall / the gate insulator layer depended like a next heat process, / of the reliability of a gate electrode ] anxious. Therefore, the feasibility of the metal gate is low.

[0007]

[Problem(s) to be Solved by the Invention] If it is going to promote detailed-ization for improvement in the speed of MOSFET or MISFET, it is important to suppress a gate depletion-ized phenomenon as much as possible. Therefore, I want to avoid the structure of the gate electrode containing polish recon. Although the metal gate solves the problem of a gate depletion-ized phenomenon, conquest of the manufacturing-technology-problem accompanying detailed-izing, reservation of high reliability, etc. have many technical problems, and feasibility's are low.

[0008] That technical problem is easy in manufacturing technology while canceling a gate depletion-ized phenomenon in consideration of the above situations, and offering the MIS mold semiconductor device which has the gate electrode which does not serve as a burden in cost, and the source/drain of low resistance with high precision and reliability, and its manufacture method has this invention.

[0009]

[Means for Solving the Problem] An MIS mold semiconductor device of this invention is characterized by providing a gate electrode which consists only of a semiconductor substrate, the source / drain section formed by separating a channel field on said surface of a substrate, a gate insulator layer formed on said channel field, and a metal silicide film formed on said gate insulator layer.

[0010] A manufacture method of an MIS mold semiconductor device this invention A production process which forms a gate insulator layer on an active element field on a semiconductor substrate, and a production process which forms polish recon alternatively on said gate insulator layer, A production process which forms the source / drain field in the substrate surface of both sides of said polish recon, All these polish recons at least said polish recon upper surface section with a metallic material of sufficient thickness to silicide-ize A wrap production process, It is characterized by providing a production process which forms a gate electrode which is made to all replace said polish recon by metal silicide by heat treatment, and consists only of a metal silicide film.

[0011] In this invention, a gate electrode which consists only of a metal silicide film is prepared on a gate insulator layer in an MIS mold semiconductor device (especially MISFET). This gate structure is attained by carrying out total replacement arthroplasty of the polish recon deposited on a gate formation schedule field to metal silicide.

[0012]

[Embodiment of the Invention] Drawing 1 is the cross section of MISFET (Metal Insulated Semiconductor Field Effect Transistor) concerning the 1st operation gestalt of this invention. On the semiconductor substrate 1, a channel field is separated and the source / drain section SD 1 is formed. This source / drain section SD 1 are the structures of having LDD (Lightly Doped Drain), or the source / drain extension, and the side near a channel field has the low-concentration impurity diffusion field 5. And the metal silicide film 9 which results in the depth X1 in the high-concentration impurity diffusion field 7 to which this source / drain section SD 1 adjoin the above-mentioned field 5 is formed.

[0013] The above-mentioned substrate 1 is an N type silicon substrate or a P type silicon substrate, and is the well field of the P type formed in the N type silicon substrate or the P type silicon substrate, or N type.

[0014] The gate electrode G1 is formed on the gate insulator layer 2. This gate electrode G1 is formed only by the metal silicide film 9. The side wall spacer SP of the gate electrode G1 is structure required in order to form the source / drain section SD 1 which was described above,

and consists of an oxide film 4 and a silicon nitride film 6 here.

[0015] The structure of this invention by which it is characterized most is that the gate electrode G1 consists only of metal silicide, as described above (metal silicide film 9). For this reason, the gate depletion-ized phenomenon which becomes the hindrance of detailed-izing and improvement in the speed of operation is solved.

[0016] Moreover, although a silicon oxide film is sufficient as the material of the gate insulator layer 2, it is more desirable to include the silicon nitride film. A silicon nitride film is because reactivity with the silicide of the gate electrode G1 is low.

[0017] Furthermore, compared with a silicon oxide film, the dielectric constant of a silicon nitride film is high more than twice. Therefore, physical thickness can be thickened compared with a silicon oxide film. For example, in the silicon oxide film with which are satisfied of the performance made into the gate insulator layer, if a silicon nitride film is used, the same performance will be obtained by the film (specific-inductive-capacity suitable part) twice [ more than ] the thickness of silicon oxide.

[0018] As an example of such a gate insulator layer 2, they are Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>, and SiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>. Being chosen out of inside is desirable. Thereby, it can contribute to detailed-ization of an element, suppressing increase of the tunnel current accompanying thin-film-izing of a gate insulator layer.

[0019] In addition, it is CoSi<sub>2</sub>, and NiSi<sub>2</sub> and TiSi<sub>2</sub> as a metal silicide film 9 used for this invention. It is typical. although things other than this can also be replaced -- the above -- typical metal silicide is considered.

[0020] About the Schottky barrier height ( $\phi_B$ ) to Si in a room temperature, it is as follows ( $\phi_{Bn}$  says N type and Schottky barrier height [ as opposed to the base of P type in  $\phi_{Bp}$  ]). CoSi<sub>2</sub> \*\*\*\* --  $\phi_{Bn}$ = -- 0.64 [eV] and  $\phi_{Bp}$ = -- 0.48 [eV] and NiSi<sub>2</sub> \*\*\*\* --  $\phi_{Bn}$ = -- 0.70 [eV] and  $\phi_{Bp}$ = -- 0.42 [eV] and TiSi<sub>2</sub> \*\*\*\* --  $\phi_{Bn}$ = -- 0.60 [eV] and  $\phi_{Bp}$ = -- 0.52 [eV]. Since every material is mostly located in the MIDDO gap of Si, it is desirable as a metal gate electrode material.

[0021] About electrical resistivity, it is CoSi<sub>2</sub>. : It is NiSi<sub>2</sub> to 18-20 [ $\mu\Omega\cdot\text{cm}$ ], and TiSi<sub>2</sub> 2:13-16 [ $\mu\Omega\cdot\text{cm}$ ]. The point which becomes high a little with 50 [ $\mu\Omega\cdot\text{cm}$ ] is a problem as a gate material.

[0022] Silicide membrane formation temperature is CoSi<sub>2</sub>. NiSi<sub>2</sub> It is TiSi<sub>2</sub> to 700 degrees C and a comparatively low thing. It is as high as 800 degrees C. About reactivity with O atom in an insulator layer (SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub>), or N atom, since reaction heat of formation of Ti is low compared with Co and nickel, it reacts easily. It is TiSi<sub>2</sub> when it inquires from this viewpoint. It will be said that it is not desirable.

[0023] It is CoSi<sub>2</sub> when it summarizes from the above point. It is the most desirable as a metal silicide material. Each [ the following and ] example is CoSi<sub>2</sub>. It is CoSi<sub>2</sub> although the example at the time of using as metal silicide is explained. It is applicable also about the case where the material of an except is used.

[0024] Drawing 2 - drawing 5 are the cross sections concerning the 2nd operation gestalt of this invention showing the manufacture method of MISFET of above-mentioned drawing 1 in order of a production process. The same sign is attached and explained to the same part as drawing 1.

[0025] On a P type silicon substrate or the N type silicon substrate 1, element isolation construction with a depth of 300nm is formed for example, with an imbedding element separation method (not shown). A well and a channel stopper are formed over 10nm [ in the active element section ] silicon oxide. As typical ion-implantation conditions, it is acceleration voltage 500keV and dose 2.5x10<sup>13</sup>cm<sup>-2</sup> about P (Lynn) in B in P well at acceleration voltage 260keV, dose 2.0x10<sup>13</sup>cm<sup>-2</sup>, and N well.

[0026] Then, as shown in drawing 2, 1-5nm and about 50nm of polish recons 3 are deposited for the gate insulator layer 2 (Si<sub>3</sub>N<sub>4</sub> [4], SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub> [4], or SiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>). Next, the polish recon 3 is processed using lithography and anisotropic etching technology, and an oxide film 4 is formed through a back oxidation production process. Next, the source / drain extension (low-concentration impurity diffusion field 5) is formed by the ion implantation.

[0027] The typical ion-implantation conditions for forming the above-mentioned extension (low-concentration impurity diffusion field 5) are BF<sub>2</sub> about As with N type at acceleration voltage 10keV, dose  $5 \times 10^{14} \text{cm}^{-2}$ , and P type. It is acceleration voltage 7keV and dose  $5 \times 10^{14} \text{cm}^{-2}$ .

[0028] Next, as shown in drawing 3, after carrying out activation RTA (rapid heat annealing treatment) of about 800 degrees C, the silicon nitride film 6 as a SiN spacer is processed through a CVD method and anisotropic etching technology. Then, a deep joint (high-concentration impurity diffusion field 7) is formed by performing an ion implantation and activation RTA.

[0029] the above -- the typical ion-implantation conditions for deep joint (high-concentration impurity diffusion field 7) formation are acceleration voltage 5keV and dose  $4 \times 10^{15} \text{cm}^{-2}$  about B in As in N type at acceleration voltage 50keV, dose  $7 \times 10^{15} \text{cm}^{-2}$ , and P type. The dopant of the source / drain diffusion layer is activated by performing activation RTA of about 1000 degrees C after an ion implantation.

[0030] Next, if the oxide film 4 and insulator layer 2 which have been exposed remain as shown in drawing 4, after exfoliating an insulator layer 2 by drug solution processing, the cascade screen 8 which consists of two-layer [ of the order of Co/TiN ] is deposited on the whole surface using a spatter. Co sets to about 16nm and TiN is setting thickness of the above-mentioned cascade screen 8 to about 20nm here.

[0031] the thickness of Co of the above-mentioned cascade screen 8 -- the polish recon 3 of a gate electrode formation schedule -- all silicide-ize -- namely, CoSi<sub>2</sub> Sufficient thickness to become is required. As mentioned above, polish recon 3 is set to 50nm here. By thickness conversion, Co is CoSi<sub>2</sub> to 1. Since it becomes about 3.5 times, if there is about 16nm of Co(es), it will be CoSi<sub>2</sub> altogether about the 50nm polish recon 3. It can replace. Moreover, TiN could be about 20nm that what is necessary is just the suitable thickness for making it function as an antioxidizing film.

[0032] next, it is shown in drawing 5 -- as -- RTA -- the polish recon 3 -- all -- CoSi<sub>2</sub> from -- it is made to replace by the becoming metal silicide film 9 the deep joint (high-concentration impurity diffusion field 7) of this, simultaneously the source / drain section -- also setting -- from the surface up to a certain amount of depth X1 -- CoSi<sub>2</sub> from -- it is replaced by the becoming metal silicide film 9. Subsequently, selective etching removes an unreacted metal.

[0033] Although not illustrated after that, MISFET is formed by performing flattening by CMP processing after depositing an insulator layer on the whole surface, carrying out the opening of the contact of the source, a drain, and each part of the gate like the usual MOSFET, and embedding the plug containing W (tungsten) etc. there.

[0034] According to the manufacture method concerning the above-mentioned operation gestalt, it is CoSi<sub>2</sub> on the gate insulator layer 2. While having the gate electrode (metal silicide film 9) which consists only of a film, it is CoSi<sub>2</sub> to the source drain section SD 1. The configuration of the self align silicide electrode (metal silicide film 9) which has a film is realized. There is an advantage that the metal gate can be formed by the completely same routing counter as the manufacture method of usual Salicide by this.

[0035] However, the following point is minded in order to prevent a defect, and to acquire high-reliability.

(a) the polish recon 3 of a gate electrode formation schedule -- all deposit the metal (8) of silicide-ized sufficient thickness.

(b) Adopt a gate insulator layer (2) with reactivity low if possible with the silicide of a gate electrode.

(c) Form more deeply than the depth (X1) of metal silicide film 9 formation the deep joint (high-concentration impurity diffusion field 7) in the source / drain section (SD1).

[0036] Moreover, according to the manufacture method concerning the above-mentioned operation gestalt, problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, can be solved in comparison with the metal gate by the RIE (reactive ion etching) production process. Furthermore, as an alternative plan of the metal

gate, in comparison with the so-called DAMASHIN gate which removes a dummy electrode and is transposed to a metal electrode, since a routing counter does not increase, there is an advantage that the burden of a cost side does not become heavy, either on processing an easy top.

[0037] In addition, in order to silicide-ize polish recon 3 of a gate electrode formation schedule by the method of the above-mentioned operation gestalt, the cascade screen 8 of Co/TiN was used, but the same effect is acquired even if it deposits the cascade screen of three layers of the order of Ti/Co/TiN instead (not shown).

[0038] Ti has the operation which makes homogeneity promote the reaction which silicide-izes polish recon 3. Especially the thickness of Ti for demonstrating such an operation is not decided. What is necessary is just to form Ti in homogeneity thinly. If the polish recon 3 is about 50nm, for Ti, 5nm and Co are [ 16nm and TiN ] about 20nm generally.

[0039] In the case of the cascade screen of above-mentioned Ti/Co/TiN, by passing through the production process of RTA, Co replaces Ti and the polish recon 3 is CoSi<sub>2</sub> altogether. It is replaced. The deep joint (high-concentration impurity diffusion field 7) surface of the source / drain section is also CoSi<sub>2</sub> to this and coincidence. It is replaced. Then, an unreacted metal (cascade screen of Ti/TiN) is removed alternatively.

[0040] Drawing 6 is the cross section of MISFET (Metal Insulated Semiconductor Field Effect Transistor) concerning the 3rd operation gestalt of this invention. On the semiconductor substrate 1, a channel field is separated and the source / drain section SD 2 is formed. This source / drain section SD 2 are the structures of having LDD (Lightly Doped Drain), or the source / drain extension, and the side near a channel field has the low-concentration impurity diffusion field 5. And this source / drain section SD 2 include the EREBETEDDO source / drain structure. That is, while the depth X2 (<X1) from the substrate surface is included in the high-concentration impurity diffusion field 7 contiguous to the above-mentioned low-concentration impurity diffusion field 5, the metal silicide film 9 which has a certain amount of height H1 from the substrate surface is formed.

[0041] The above-mentioned substrate 1 is an N type silicon substrate or a P type silicon substrate, and is the well field of the P type formed in the N type silicon substrate or the P type silicon substrate, or N type.

[0042] The gate electrode G2 is formed on the gate insulator layer 2. This gate electrode G2 is formed only by the metal silicide film 9. The side wall spacer SP of the gate electrode G2 is structure required in order to form the source / drain section SD 2 which was described above, and consists of an oxide film 4 and a silicon nitride film 6 here.

[0043] The structure of this invention by which it is characterized most is that the gate electrode G2 consists only of metal silicide, as described above (metal silicide film 9). For this reason, the gate depletion-ized phenomenon which becomes the hindrance of detailed-izing and improvement in the speed of operation is solved.

[0044] Moreover, although a silicon oxide film is sufficient as the material of the gate insulator layer 2, it is more desirable to include the silicon nitride film. The reason is as having indicated said 1st operation gestalt. Therefore, the gate insulator layer 2 is Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>, and SiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>. Being chosen out of inside is desirable. Thereby, it can contribute to detailed-ization of an element, suppressing increase of the tunnel current accompanying thin-film-izing of a gate insulator layer.

[0045] Moreover, it is CoSi<sub>2</sub>, and NiSi<sub>2</sub> and TiSi<sub>2</sub> as a metal silicide film 9 used for this invention. It is typical. CoSi<sub>2</sub> although things other than this could also be replaced, since said 1st operation gestalt indicated It uses.

[0046] The places where the configuration of the above-mentioned operation gestalt has the EREBETEDDO source / drain structure compared with drawing 1 differ. Since it extends with the height H1 which has the metal silicide film 9 (CoSi<sub>2</sub>) on a source drain, formation of impurity diffusion field 7 high-concentration the very thing can also be made shallower than the configuration of drawing 1. Therefore, it becomes stronger to a short channel effect.

[0047] Moreover, the metal silicide film 9 becomes possible [ forming more thickly by extending upwards ], and it also becomes possible to reduce the sheet resistance of a gate



electrode, the source / drain of it.

[0048] Drawing 7 · drawing 10 are the cross sections concerning the 4th operation gestalt of this invention showing the manufacture method of MISFET of above-mentioned drawing 6 in order of a production process. The same sign is attached and explained to the same part as drawing 6.

[0049] On a P type silicon substrate or the N type silicon substrate 1, element isolation construction with a depth of 300nm is formed for example, with an imbedding element separation method (not shown). A well and a channel stopper are formed over 10nm [ in the active element section ] silicon oxide. As typical ion-implantation conditions, it is acceleration voltage 500keV and dose  $2.5 \times 10^{13} \text{cm}^{-2}$  about P (Lynn) in B in P well at acceleration voltage 260keV, dose  $2.0 \times 10^{13} \text{cm}^{-2}$ , and N well.

[0050] Then, as shown in drawing 7, 1-5nm and about 50nm of polish recons 3 are deposited for the gate insulator layer 2 ( $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2+\text{Si}_3\text{N}_4$ , or  $\text{SiO}_x\text{N}_y+\text{Si}_3\text{N}_4$ ). Next, the polish recon 3 is processed using lithography and anisotropic etching technology, and an oxide film 4 is formed through a back oxidation production process. Next, the source / drain extension (low-concentration impurity diffusion field 5) is formed by the ion implantation.

[0051] The typical ion-implantation conditions for forming the above-mentioned extension (low-concentration impurity diffusion field 5) are  $\text{BF}_2$  about As with N type at acceleration voltage 10keV, dose  $5 \times 10^{14} \text{cm}^{-2}$ , and P type. It is acceleration voltage 7keV and dose  $5 \times 10^{14} \text{cm}^{-2}$ .

[0052] Then, after passing through an about 800-degree C activation RTA (rapid heat annealing treatment) production process, the silicon nitride film 6 as a SiN spacer is processed using a CVD method and anisotropic etching technology.

[0053] Next, if the oxide film 4 and insulator layer 2 which have been exposed remain as shown in drawing 8, exfoliation and after exfoliating the natural oxidation film after this exfoliation by hydrogen annealing treatment further, selective growth of about 30nm of the epitaxial silicon 10 will be carried out for an insulator layer 2 by drug solution processing. That is, selective growth of the single crystal silicon 10 is carried out only on the source / drain portion which silicon exposed, and the polish recon 3 of a gate electrode formation schedule.

[0054] Next, after carrying out an ion implantation throughout a period of the above-mentioned epitaxial silicon 10, a deep joint (high-concentration impurity diffusion field 7) is formed by performing activation RTA of about 1000 degrees C.

[0055] the above -- the typical ion-implantation conditions for deep joint (high-concentration impurity diffusion field 7) formation are acceleration voltage 7keV and dose  $4 \times 10^{15} \text{cm}^{-2}$  about B in As in N type at acceleration voltage 65keV, dose  $7 \times 10^{15} \text{cm}^{-2}$ , and P type.

[0056] Next, as shown in drawing 9, the cascade screen 8 which consists of two-layer [ of the order of Co/TiN ] is deposited on the whole surface using a spatter. Co sets to about 26nm and TiN is setting thickness of the above-mentioned cascade screen 8 to about 20nm here.

[0057] the thickness of Co of the above-mentioned cascade screen 8 -- all the laminatings of the polish recon 3 of a gate electrode formation schedule/silicon 10, and the silicon 10 on the source / drain portion -- all silicide-ize -- namely,  $\text{CoSi}_2$  Sufficient thickness to become is required.

[0058] As mentioned above, the silicon 10 which carried out EPI growth of the polish recon 3 50nm and on it here is set to 30nm. By thickness conversion, Co is  $\text{CoSi}_2$  to 1. Since it becomes about 3.5 times, if there is about 26nm of Co(es), it will be  $\text{CoSi}_2$  altogether in 80nm of laminatings of the polish recon 3 and silicon 10. It can replace. Moreover, TiN could be about 20nm that what is necessary is just the suitable thickness for making it function as an antioxidizing film.

[0059] next, it is shown in drawing 10 -- as -- RTA of two steps -- the laminating of the polish recon 3 and silicon 10 -- all --  $\text{CoSi}_2$  from -- it is made to replace by the becoming metal silicide film 9 The silicon 10 on the source/drain is also  $\text{CoSi}_2$  in that case. It is replaced. the deep joint (high-concentration impurity diffusion field 7) of it, simultaneously the source / drain section -- also setting -- from the surface up to a certain amount of depth X2 --  $\text{CoSi}_2$  from -- it is replaced by the becoming metal silicide film 9. Subsequently, selective etching removes an

unreacted metal.

[0060] Although not illustrated after that, MISFET is formed by performing flattening by CMP processing after depositing an insulator layer on the whole surface, carrying out the opening of the contact of the source, a drain, and each part of the gate like the usual MOSFET, and embedding the plug containing W (tungsten) etc. there.

[0061] According to the manufacture method concerning the above-mentioned operation gestalt, it is CoSi<sub>2</sub> on the gate insulator layer 2. While having the gate electrode (silicide film 9) which consists only of a film, it is CoSi<sub>2</sub> also to the source drain section (SD2). The configuration of the self align silicide electrode (silicide film 9) which has a film is realized (Salicide structure).

[0062] Furthermore, it is a big advantage that adjustment of a process can be taken with such Salicide technology, and the above-mentioned EREBETEDDO source / drain technology. The EREBETEDDO source / drain can constitute a highly reliable high speed device by offering the manufacture method which is technology important for detailed-izing and improvement in the speed which are used for example, henceforth [ 0.12 micrometer generation ], and can do combination easily with Salicide.

[0063] However, the following point is minded in order to prevent a defect, and to acquire high-reliability.

(a) the polish recon 3 of a gate electrode formation schedule, and the silicon 10 of EPI growth -- all deposit the metal (8) of silicide-ized sufficient thickness.

(b) Adopt a gate insulator layer (2) with reactivity low if possible with the silicide of a gate electrode.

(c) The deep joint (high-concentration impurity diffusion field 7) in the source / drain section (SD2) can realize formation shallower than said 2nd example, taking into consideration that the metal silicide film 9 is formed over this silicon 10 from the substrate surface to a certain amount of depth (X2 (<X1)) in consideration of the height H1 of the silicon 10 used as the EREBETEDDO source / drain structure.

[0064] Moreover, according to the manufacture method concerning the above-mentioned operation gestalt, problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, can be solved in comparison with the metal gate by the RIE (reactive ion etching) production process. Furthermore, in comparison with the so-called DAMASHIN gate, an easy top, since a routing counter does not increase, there is an advantage that the burden of a cost side does not become heavy, either on processing.

[0065] In addition, by the method of the above-mentioned operation gestalt, in order to silicide-ize the silicon 10 for the laminating of the polish recon 3 of a gate electrode formation schedule, and silicon 10, and the EREBETEDDO source / drain formation, the cascade screen 8 of Co/TiN was used, but [ instead ] the same effect is acquired even if it deposits the cascade screen of three layers of the order of Ti/Co/TiN (not shown).

[0066] Ti has the operation which makes homogeneity promote the reaction which silicide-izes polish recon 3. Especially the thickness of Ti for demonstrating such an operation is not decided. What is necessary is just to form Ti in homogeneity thinly. If the polish recon 3 is 50nm and epitaxial silicon 10 is 30nm, for Ti, 5nm and Co are [ 26nm and TiN ] about 20nm.

[0067] In the case of the cascade screen of above-mentioned Ti/Co/TiN, by passing through the production process of RTA, Co replaces Ti and the polish recon 3 is CoSi<sub>2</sub> altogether. It is replaced. The deep joint (high-concentration impurity diffusion field 7) surface of the source / drain section is also CoSi<sub>2</sub> to this and coincidence. It is replaced. Then, an unreacted metal (cascade screen of Ti/TiN) is removed alternatively.

[0068] Drawing 11 (a) is the cross section of MISFET (Metal Insulated Semiconductor Field Effect Transistor) concerning the 5th operation gestalt of this invention. On the semiconductor substrate 1, a channel field is separated and the source / drain section SD 3 is formed. This source / drain section SD 3 are the structures of having LDD (Lightly Doped Drain), or the source / drain extension, and the side near a channel field has the low-concentration impurity diffusion field 5. And this source / drain section SD 3 are the

EREBETEDDO source / drain structure, and the metal silicide film 9 which has the almost same height  $H_2$  ( $<H_1$ ) as gate electrode G3 (it mentions later) from the surface of the high-concentration impurity diffusion field 7 contiguous to the above-mentioned low-concentration impurity diffusion field 5 is formed.

[0069] The above-mentioned substrate 1 is an N type silicon substrate or a P type silicon substrate, and is the well field of the P type formed in the N type silicon substrate or the P type silicon substrate, or N type.

[0070] Gate electrode G3 is formed on the gate insulator layer 2. This gate electrode G3 is formed only by the metal silicide film 9. The side wall spacer SP of gate electrode G3 is structure required in order to form the source / drain section SD 3 which was described above, and consists of an oxide film 4 and a silicon nitride film 6 here.

[0071] The structure of this invention by which it is characterized most is that gate electrode G3 consists only of metal silicide, as described above (metal silicide film 9). For this reason, the gate depletion-ized phenomenon which becomes the hindrance of detailed-izing and improvement in the speed of operation is solved.

[0072] Moreover, although a silicon oxide film is sufficient as the material of the gate insulator layer 2, it is more desirable to include the silicon nitride film. The reason is as having indicated said 1st operation gestalt. Therefore, the gate insulator layer 2 is  $Si_3N_4$ ,  $SiO_2+Si_3N_4$ , and  $SiO_xNy+Si_3N_4$ . Being chosen out of inside is desirable. Thereby, it can contribute to detailed-ization of an element, suppressing increase of the tunnel current accompanying thin-film-izing of a gate insulator layer.

[0073] Moreover, it is  $CoSi_2$ , and  $NiSi_2$  and  $TiSi_2$  as a metal silicide film 9 used for this invention. It is typical.  $CoSi_2$  although things other than this could also be replaced, since said 1st operation gestalt indicated It uses.

[0074] Compared with said drawing 6, as for the configuration of above-mentioned drawing 11 (a), the configurations of the EREBETEDDO source / drain differ the following point. The interface of the metal silicide film 9 ( $CoSi_2$ ) formed on the source drain is a thing of the high-concentration impurity diffusion field 7 mostly located in the surface. The surface of the high-concentration impurity diffusion field 7 is near the peak of the dopant concentration of the impurity diffusion field 7, as shown in drawing 11 (b). Consequently, the interfacial resistance of the metal silicide film 9 ( $CoSi_2$ ) and the impurity diffusion field 7 falls, and it contributes to high-speed operation more.

[0075] Moreover, formation of impurity diffusion field 7 high-concentration the very thing can also be made still shallower than the configuration of drawing 6. Therefore, it becomes stronger to a short channel effect. Moreover, the metal silicide film 9 becomes possible [forming more thickly by what is extended upwards (height  $H_2$  ( $<H_1$ ))], and it also becomes possible to reduce the sheet resistance of a gate electrode, the source / drain of it.

[0076] Drawing 12 - drawing 16 are the cross sections concerning the 6th operation gestalt of this invention showing the manufacture method of MISFET of above-mentioned drawing 11 (a) in order of a production process. The same sign is attached and explained to the same part as drawing 11 (a).

[0077] On a P type silicon substrate or the N type silicon substrate 1, element isolation construction with a depth of 300nm is formed for example, with an imbedding element separation method (not shown). A well and a channel stopper are formed over 10nm [in the active element section] silicon oxide. As typical ion-implantation conditions, it is acceleration voltage 500keV and dose  $2.5 \times 10^{13} \text{cm}^{-2}$  about P (Lynn) in B in P well at acceleration voltage 260keV, dose  $2.0 \times 10^{13} \text{cm}^{-2}$ , and N well.

[0078] Then, as shown in drawing 12, 1-5nm and about 50nm of polish recons 3 are deposited for the gate insulator layer 2 ( $Si_3N_4$  [4],  $SiO_2+Si_3N_4$  [4], or  $SiO_xNy+Si_3N_4$ ). Next, the polish recon 3 is processed using lithography and anisotropic etching technology, and an oxide film 4 is formed through a back oxidation production process. Next, the source / drain extension (low-concentration impurity diffusion field 5) is formed by the ion implantation.

[0079] The typical ion-implantation conditions for forming the above-mentioned extension (low-concentration impurity diffusion field 5) are  $BF_2$  about As with N type at acceleration

voltage 10keV, dose  $5 \times 10^{14} \text{cm}^{-2}$ , and P type. It is acceleration voltage 7keV and dose  $5 \times 10^{14} \text{cm}^{-2}$ .

[0080] Then, after passing through an about 800-degree C activation RTA (rapid heat annealing treatment) production process, the silicon nitride film 6 as a SiN spacer is processed using a CVD method and anisotropic etching technology.

[0081] Next, if the oxide film 4 and insulator layer 2 which have been exposed remain as shown in drawing 13, exfoliation and after exfoliating the natural oxidation film after this exfoliation by hydrogen annealing treatment further, selective growth of about 100nm of the epitaxial silicon 10 will be carried out for an insulator layer 2 by drug solution processing. That is, selective growth of the single crystal silicon 10 is carried out only on the source / drain portion which silicon exposed, and the polish recon 3 of a gate electrode formation schedule. When growth is continued, it is a wrap about \*\*\*\*\* soon.

[0082] Next, as shown in drawing 14, the nitride 6 as a spacer is used as a stopper, and CMP (chemical mechanical polishing) processing is performed. That is, flattening is performed until the maximum upper surface of a nitride 6 is exposed. Thereby, the silicon 10 of the source / drain section serves as the same height (about 50nm) as the polish recon 3 of a gate electrode formation schedule. Then, a deep joint (high-concentration impurity diffusion field 7) is formed by performing activation RTA of about 1000 degrees C.

[0083] the above -- the typical ion-implantation conditions for deep joint (high-concentration impurity diffusion field 7) formation are acceleration voltage 5keV and dose  $4 \times 10^{15} \text{cm}^{-2}$  about B in As in N type at acceleration voltage 50keV, dose  $7 \times 10^{15} \text{cm}^{-2}$ , and P type.

[0084] Next, as shown in drawing 15, the cascade screen 8 which consists of two-layer [ of the order of Co/TiN ] is deposited on the whole surface using a spatter. Co sets to about 16nm and TiN is setting thickness of the above-mentioned cascade screen 8 to about 20nm here.

[0085] the thickness of Co of the above-mentioned cascade screen 8 -- the polish recon 3 of a gate electrode formation schedule -- all -- and the silicon 10 on the source / drain portion -- all silicide-ize -- namely, CoSi<sub>2</sub> Sufficient thickness to become is required.

[0086] As mentioned above, the polish recon 3 is also setting to 50nm the silicon 10 which carried out EPI growth here at 50nm, and the source / drain portion. By thickness conversion, Co is CoSi<sub>2</sub> to 1. Since it becomes about 3.5 times, if there is about 16nm of Co(es), all polish recon 3 and silicon 10 each will be CoSi<sub>2</sub>. It can replace. Moreover, TiN could be about 20nm that what is necessary is just the suitable thickness for making it function as an antioxidizing film.

[0087] next, it is shown in drawing 16 -- as -- RTA of two steps -- the polish recon 3 and silicon 10 -- each -- all -- CoSi<sub>2</sub> from -- it is made to replace by the becoming metal silicide film 9 Subsequently, selective etching removes an unreacted metal.

[0088] Although not illustrated after that, MISFET is formed by performing flattening by CMP processing after depositing an insulator layer on the whole surface, carrying out the opening of the contact of the source, a drain, and each part of the gate like the usual MOSFET, and embedding the plug containing W (tungsten) etc. there.

[0089] It is CoSi<sub>2</sub> in [ gate electrode G3 and the source drain section SD 3 ] self align the same with having indicated in the 4th operation gestalt according to the manufacture method concerning the above-mentioned operation gestalt. A film (metal silicide film 9) can be formed (Salicide structure). Moreover, adjustment of a process can be easily taken with the Salicide technology, and the above-mentioned EREBETEDDO source / drain technology. Thereby, a highly reliable high speed device can be constituted.

[0090] However, the following point is minded in order to prevent a defect, and to acquire high-reliability.

(a) the polish recon 3 of a gate electrode formation schedule, and the silicon 10 of EPI growth -- all deposit the metal (8) of silicide-ized sufficient thickness.

(b) Adopt a gate insulator layer (2) with reactivity low if possible with the silicide of a gate electrode.

(c) The deep joint (high-concentration impurity diffusion field 7) in the source / drain section (SD3) can realize formation shallower than said 4th example, taking into consideration that

formation of the metal silicide film 9 stops near the interface on the surface of a substrate in consideration of the height (H2) of the silicon 10 used as the EREBETEDDO source / drain structure.

[0091] Moreover, according to the manufacture method concerning the above-mentioned operation gestalt, problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, can be solved in comparison with the metal gate by the RIE (reactive ion etching) production process.

[0092] In addition, by the method of the above-mentioned operation gestalt, in order to silicide-ize the silicon 10 for the polish recon 3 of a gate electrode formation schedule, and the EREBETEDDO source / drain formation, the cascade screen 8 of Co/TiN was used, but [ instead ] the same effect is acquired even if it deposits the cascade screen of three layers of the order of Ti/Co/TiN (not shown).

[0093] Ti has the operation which makes homogeneity promote the reaction which silicide-izes polish recon 3. Especially the thickness of Ti for demonstrating such an operation is not decided. What is necessary is just to form Ti in homogeneity thinly. If both the polish recon 3 and epitaxial silicon 10 are 50nm, 5nm and Co make it 16nm, and TiN should just make [ Ti ] it about 20nm.

[0094] In the case of the cascade screen of above-mentioned Ti/Co/TiN, by passing through the production process of RTA, Co replaces Ti and the polish recon 3 is CoSi2 altogether. It is replaced. The silicon 10 of the source / drain section is also CoSi2 altogether to this and coincidence. It is replaced. Then, an unreacted metal (cascade screen of Ti/TiN) is removed alternatively.

[0095] Drawing 17 is the cross section of MISFET (Metal Insulated Semiconductor Field Effect Transistor) concerning the 7th operation gestalt of this invention. On the semiconductor substrate 1, a channel field is separated and the source / drain section SD 4 is formed. This source / drain section SD 4 are the structures of having LDD (Lightly Doped Drain), or the source / drain extension, and the side near a channel field adjoins the low-concentration impurity diffusion field 5 and this, and it has the high-concentration impurity diffusion field 7. And this source / drain section SD 4 are the points that the point which is not silicide-ized differs from each above-mentioned operation gestalt.

[0096] The above-mentioned substrate 1 is an N type silicon substrate or a P type silicon substrate, and is the well field of the P type formed in the N type silicon substrate or the P type silicon substrate, or N type.

[0097] The gate electrode G4 is formed on the gate insulator layer 2. This gate electrode G4 is formed only by the metal silicide film 9. The side wall spacer SP of the gate electrode G4 is structure required in order to form the source / drain section SD 4 which was described above, and consists of an oxide film 4 and a silicon nitride film 6 here.

[0098] The structure of this invention by which it is characterized most is that the gate electrode G4 consists only of metal silicide, as described above (metal silicide film 9). For this reason, the gate depletion-ized phenomenon which becomes the hindrance of detailed-izing and improvement in the speed of operation is solved.

[0099] Moreover, as described above, the source / drain section SD 4 is not silicide-ized. Thereby very shallow cementation is realized. It is the configuration that reliability increases in further detailed-ization.

[0100] Moreover, although a silicon oxide film is sufficient as the material of the gate insulator layer 2, it is more desirable to include the silicon nitride film. The reason is as having indicated said 1st operation gestalt. Therefore, the gate insulator layer 2 is Si3 N4, SiO2+Si3 N4, and SiOx Ny+Si3 N4. Being chosen out of inside is desirable. Thereby, it can contribute to detailed-ization of an element, suppressing increase of the tunnel current accompanying thin-film-izing of a gate insulator layer.

[0101] Moreover, it is CoSi2, and NiSi2 and TiSi2 as a metal silicide film 9 used for this invention. It is typical. CoSi2 although things other than this could also be replaced, since said 1st operation gestalt indicated It uses.

[0102] Drawing 18 · drawing 21 are the cross sections concerning the 8th operation gestalt of this invention showing the manufacture method of MISFET of above-mentioned drawing 17 in order of a production process. The same sign is attached and explained to the same part as drawing 17.

[0103] On a P type silicon substrate or the N type silicon substrate 1, element isolation construction with a depth of 300nm is formed for example, with an imbedding element separation method (not shown). A well and a channel stopper are formed over 10nm [ in the active element section ] silicon oxide. As typical ion-implantation conditions, it is acceleration voltage 500keV and dose  $2.5 \times 10^{13} \text{cm}^{-2}$  about P (Lynn) in B in P well at acceleration voltage 260keV, dose  $2.0 \times 10^{13} \text{cm}^{-2}$ , and N well.

[0104] Then, as shown in drawing 18, 1-5nm and about 50nm of polish recons 3 are deposited for the gate insulator layer 2 ( $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2+\text{Si}_3\text{N}_4$ , or  $\text{SiO}_x\text{N}_y+\text{Si}_3\text{N}_4$ ). Next, the polish recon 3 is processed using lithography and anisotropic etching technology. At this time, the gate insulator layer 2 (a material is  $\text{Si}_3\text{N}_4$ ) which extended in source/drain side presupposes that it has remained. Then, an oxide film 4 is formed through a back oxidation production process. Next, the source / drain extension (low-concentration impurity diffusion field 5) is formed by the ion implantation.

[0105] The typical ion-implantation conditions for forming the above-mentioned extension (low-concentration impurity diffusion field 5) are  $\text{BF}_2$  about As with N type at acceleration voltage 10keV, dose  $5 \times 10^{14} \text{cm}^{-2}$ , and P type. It is acceleration voltage 7keV and dose  $5 \times 10^{14} \text{cm}^{-2}$ .

[0106] Next, as shown in drawing 19, after carrying out activation RTA (rapid heat annealing treatment) of about 800 degrees C, the silicon nitride film 6 as a SiN spacer is processed through a CVD method and anisotropic etching technology. Then, a deep joint (high-concentration impurity diffusion field 7) is formed by performing an ion implantation and activation RTA.

[0107] the above -- the typical ion-implantation conditions for deep joint (high-concentration impurity diffusion field 7) formation are acceleration voltage 3keV and dose  $4 \times 10^{15} \text{cm}^{-2}$  about B in As in N type at acceleration voltage 30keV, dose  $7 \times 10^{15} \text{cm}^{-2}$ , and P type. The dopant of the source / drain diffusion layer is activated by performing activation RTA of about 1000 degrees C after an ion implantation.

[0108] Next, as shown in drawing 20, the cascade screen 8 which consists of two-layer [ of the order of Co/TiN ] is deposited on the whole surface after exfoliating the oxide film 4 of the polish recon 3 upper part by drug solution processing (for example, diluted hydrofluoric acid treatment) using a spatter. Co sets to about 16nm and TiN is setting thickness of the above-mentioned cascade screen 8 to about 20nm here.

[0109] the thickness of Co of the above-mentioned cascade screen 8 -- the polish recon 3 of a gate electrode formation schedule -- all silicide-ize -- namely,  $\text{CoSi}_2$  Sufficient thickness to become is required. As mentioned above, polish recon 3 is set to 50nm here. By thickness conversion, Co is  $\text{CoSi}_2$  to 1. Since it becomes about 3.5 times, if there is about 16nm of Co(es), it will be  $\text{CoSi}_2$  altogether about the 50nm polish recon 3. It can replace. Moreover, TiN could be about 20nm that what is necessary is just the suitable thickness for making it function as an antioxidizing film.

[0110] Next, RTA is made to replace the polish recon 3 with the metal silicide film 9 which consists of  $\text{CoSi}_2$  altogether, as shown in drawing 21. Subsequently, selective etching removes an unreacted metal. In the maximum surface of the source drain section, it is  $\text{Si}_3\text{N}_4$  of the gate insulator layer 2 in that case. Since it exists, Co will be removed without reacting with Si.

[0111] Although not illustrated after that, MISFET is formed by performing flattening by CMP processing after depositing an insulator layer on the whole surface, carrying out the opening of the contact of the source, a drain, and each part of the gate like the usual MOSFET, and embedding the plug containing W (tungsten) etc. there.

[0112] Since the source / drain field is not changed into a metal silicide film in comparison with each of other above-mentioned operation gestalt according to the manufacture method concerning the above-mentioned operation gestalt, a very shallow diffusion layer can be

formed. (And the metal silicide film 9 2 with sufficient thickness, i.e., CoSi, The configuration which has the gate electrode which consists only of a film is realized.) However, the following point is minded in order to prevent a defect, and to acquire high-reliability.

(a) the polish recon 3 of a gate electrode formation schedule -- all deposit the metal (8) of silicide-ized sufficient thickness.

(b) Adopt a gate insulator layer (2) with reactivity low if possible with the silicide of a gate electrode.

Moreover, according to the manufacture method concerning the above-mentioned operation gestalt, problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, can be solved in comparison with the metal gate by the RIE (reactive ion etching) production process. In comparison with the so-called DAMASHIN gate, an easy top, since a routing counter does not increase, there is an advantage that the burden of a cost side does not become heavy, either on processing.

[0113] In addition, by the method of the above-mentioned operation gestalt, in order to silicide-ize polish recon 3 of a gate electrode formation schedule, the cascade screen 8 of Co/TiN was used, but the same effect is acquired even if it deposits the cascade screen of three layers of the order of Ti/Co/TiN instead (not shown).

[0114] Ti has the operation which makes homogeneity promote the reaction which silicide-izes polish recon 3. Especially the thickness of Ti for demonstrating such an operation is not decided. What is necessary is just to form Ti in homogeneity thinly. If the polish recon 3 is about 50nm, for Ti, 5nm and Co are [ 16nm and TiN ] about 20nm generally.

[0115] In the case of the cascade screen of above-mentioned Ti/Co/TiN, by passing through the production process of RTA, Co replaces Ti and the polish recon 3 is CoSi<sub>2</sub> altogether. It is replaced. Then, an unreacted metal (cascade screen of Ti/TiN) is removed alternatively.

[0116] Drawing 22 is the cross section of MISFET (Metal Insulated Semiconductor Field Effect Transistor) concerning the 9th operation gestalt of this invention. On the semiconductor substrate 1, a channel field is separated and the source / drain section SD 5 is formed. This source / drain section SD 5 are not silicide-ized as well as said 7th operation gestalt. That is, it is the structure of having LDD (Lightly Doped Drain), or the source / drain extension, and the side near a channel field adjoins the low-concentration impurity diffusion field 5 and this, and has the high-concentration impurity diffusion field 7.

[0117] The above-mentioned substrate 1 is an N type silicon substrate or a P type silicon substrate, and is the well field of the P type formed in the N type silicon substrate or the P type silicon substrate, or N type.

[0118] The gate electrode G5 is formed on the gate insulator layer 2. This gate electrode G5 is formed only by the metal silicide film 9. The side wall spacer SP of the gate electrode G5 is structure required in order to form the source / drain section SD 5 which was described above, and consists of an oxide film 4 and a silicon nitride film 6 here. Moreover, the insulator layer 11 between layers is constituted where flattening is carried out.

[0119] The structure of this invention by which it is characterized most is that the gate electrode G5 consists only of metal silicide, as described above (metal silicide film 9). For this reason, the gate depletion-ized phenomenon which becomes the hindrance of detailed-izing and improvement in the speed of operation is solved.

[0120] Moreover, as described above, the source / drain section SD 5 is not silicide-ized. Thereby very shallow cementation is realized. It is the configuration that reliability increases in further detailed-ization.

[0121] Moreover, although a silicon oxide film is sufficient as the material of the gate insulator layer 2, it is more desirable to include the silicon nitride film. The reason is as having indicated said 1st operation gestalt. Therefore, the gate insulator layer 2 is Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>, and SiO<sub>x</sub> N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>. Being chosen out of inside is desirable. Thereby, it can contribute to detailed-ization of an element, suppressing increase of the tunnel current accompanying thin-film-izing of a gate insulator layer.

[0122] Moreover, it is CoSi<sub>2</sub>, and NiSi<sub>2</sub> and TiSi<sub>2</sub> as a metal silicide film 9 used for this

invention. It is typical. CoSi<sub>2</sub> although things other than this could also be replaced, since said 1st operation gestalt indicated It uses.

[0123] Drawing 23 · drawing 27 are the cross sections concerning the 10th operation gestalt of this invention showing the manufacture method of MISFET of above-mentioned drawing 22 in order of a production process. The same sign is attached and explained to the same part as drawing 22.

[0124] On a P type silicon substrate or the N type silicon substrate 1, element isolation construction with a depth of 300nm is formed for example, with an imbedding element separation method (not shown). A well and a channel stopper are formed over 10nm [ in the active element section ] silicon oxide. As typical ion-implantation conditions, it is acceleration voltage 500keV and dose  $2.5 \times 10^{13} \text{cm}^{-2}$  about P (Lynn) in B in P well at acceleration voltage 260keV, dose  $2.0 \times 10^{13} \text{cm}^{-2}$ , and N well.

[0125] Then, as shown in drawing 23, 1-5nm and about 50nm of polish recons 3 are deposited for the gate insulator layer 2 (Si<sub>3</sub>N<sub>4</sub> [4], SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub> [4], or SiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>). Next, the polish recon 3 is processed using lithography and anisotropic etching technology. Then, an oxide film 4 is formed through a back oxidation production process. Next, the source / drain extension (low-concentration impurity diffusion field 5) is formed by the ion implantation.

[0126] The typical ion-implantation conditions for forming the above-mentioned extension (low-concentration impurity diffusion field 5) are BF<sub>2</sub> about As with N type at acceleration voltage 10keV, dose  $5 \times 10^{14} \text{cm}^{-2}$ , and P type. It is acceleration voltage 7keV and dose  $5 \times 10^{14} \text{cm}^{-2}$ .

[0127] Next, after carrying out activation RTA (rapid heat annealing treatment) of about 800 degrees C, the silicon nitride film 6 as a SiN spacer is processed through a CVD method and anisotropic etching technology. Then, a deep joint (high-concentration impurity diffusion field 7) is formed by performing an ion implantation and activation RTA.

[0128] the above -- the typical ion-implantation conditions for deep joint (high-concentration impurity diffusion field 7) formation are acceleration voltage 3keV and dose  $4 \times 10^{15} \text{cm}^{-2}$  about B in As in N type at acceleration voltage 30keV, dose  $7 \times 10^{15} \text{cm}^{-2}$ , and P type. The dopant of the source / drain diffusion layer is activated by performing activation RTA of about 1000 degrees C after an ion implantation.

[0129] Next, as shown in drawing 24, about 100nm (oxide film) of insulator layers 11 between layers is deposited. Next, as shown in drawing 25, the CMP processing which used polish recon 3 as the stopper performs flattening.

[0130] Next, as shown in drawing 26, the cascade screen 8 which consists of two-layer [ of the order of Co/TiN ] is deposited on the whole surface using a spatter including the maximum upper surface of the polish recon 3. Co sets to about 16nm and TiN is setting thickness of the above-mentioned cascade screen 8 to about 20nm here.

[0131] the thickness of Co of the above-mentioned cascade screen 8 -- the polish recon 3 of a gate electrode formation schedule -- all silicide-ize -- namely, CoSi<sub>2</sub> Sufficient thickness to become is required. As mentioned above, polish recon 3 is set to 50nm here. By thickness conversion, Co is CoSi<sub>2</sub> to 1. Since it becomes about 3.5 times, if there is about 16nm of Co(es), it will be CoSi<sub>2</sub> altogether about the 50nm polish recon 3. It can replace. Moreover, TiN could be about 20nm that what is necessary is just the suitable thickness for making it function as an antioxidizing film.

[0132] Next, RTA is made to replace the polish recon 3 with the metal silicide film 9 which consists of CoSi<sub>2</sub> altogether, as shown in drawing 27. Subsequently, selective etching removes the unreacted metal on an interlayer insulation film 11.

[0133] Although not illustrated after that, MISFET is formed by contacting the source, a drain, and each part of the gate like the usual MOSFET.

[0134] Since source / drain section top is covered with the interlayer insulation film 11 according to the manufacture method concerning the above-mentioned operation gestalt, in the source / drain section, it is CoSi<sub>2</sub>. A film is not formed. It becomes possible to make cementation very shallow as a high-concentration impurity diffusion field 7 of the source / drain section. While a routing counter increases compared with the operation gestalt of the



above 8th, the point that the electric short circuit between the source, a drain, and the gate cannot take place easily is an advantage.

[0135] Moreover, it is CoSi<sub>2</sub> on the gate insulator layer 2. The configuration which has the gate electrode (metal silicide film 9) which consists only of a film is realized. However, the following point is minded in order to prevent a defect, and to acquire high-reliability.

(a) the polish recon 3 of a gate electrode formation schedule -- all deposit the metal (8) of silicide-ized sufficient thickness.

(b) Adopt a gate insulator layer (2) with reactivity low if possible with the silicide of a gate electrode.

Moreover, according to the manufacture method concerning the above-mentioned operation gestalt, problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, can be solved in comparison with the metal gate by the RIE (reactive ion etching) production process.

[0136] In addition, by the method of the above-mentioned operation gestalt, in order to silicide-ize polish recon 3 of a gate electrode formation schedule, the cascade screen 8 of Co/TiN was used, but the same effect is acquired even if it deposits the cascade screen of three layers of the order of Ti/Co/TiN instead (not shown).

[0137] Ti has the operation which makes homogeneity promote the reaction which silicide-izes polish recon 3. Especially the thickness of Ti for demonstrating such an operation is not decided. What is necessary is just to form Ti in homogeneity thinly. If the polish recon 3 is about 50nm, for Ti, 5nm and Co are [ 16nm and TiN ] about 20nm generally.

[0138] In the case of the cascade screen of above-mentioned Ti/Co/TiN, by passing through the production process of RTA, Co replaces Ti and the polish recon 3 is CoSi<sub>2</sub> altogether. It is replaced. Then, an unreacted metal (cascade screen of Ti/TiN) is removed alternatively.

[0139] Above, according to each example, the processing controllability of the metal gate is good as a high-speed MIS device, and the high yield can be expected with high-reliability. Since there is no gate processing of dummy gate removal, a metal pad, etc. compared with DAMASHIN gate (pad gate electrode) technology, a routing counter does not increase, either.

[0140] Moreover, it is easy to find out adjustment with the EREBETEDDO source / drain process needed henceforth [ 0.12 micrometer generation ], and it can take in easily, without the Salicide technology also increasing a routing counter.

[0141]

[Effect of the Invention] The structure have the gate electrode which consists only of a metal silicide film on a gate insulator layer by carrying out total replacement arthroplasty of the polish recon which processed the gate electrode formation predetermined position to the metal silicide gate according to this invention as explained above, and have a metal silicide film also on the source/drain by request, and cope with the reduction in resistance and detailed-ization can offer a realizable MIS mold semiconductor device and its manufacture method easily.

[0142] Moreover, in this invention, since a gate electrode consists only of metal silicide, a gate depletion-ized phenomenon is solved. And problems, such as deterioration of the size controllability accompanying the difficulty of metal processing and a fall of the reliability of the gate electrode by the post heating production process, are also solvable. Since a routing counter does not increase an easy top on processing even if it compares with the so-called DAMASHIN gate, the burden of a cost side does not become heavy, either. Therefore, it is economically advantageous and high-speed operation, the MIS mold semiconductor device which can respond to detailed-ization, and its manufacture method can be offered with high-reliability.

[Brief Description of the Drawings]

[Drawing 1] The cross section of MISFET concerning the 1st operation gestalt of this invention.

[Drawing 2] The 1st cross section showing the manufacture method of MISFET of drawing 1 concerning the 2nd operation gestalt of this invention in order of a production process.

- [Drawing 3] The 2nd cross section following drawing 2 concerning the 2nd operation gestalt.
- [Drawing 4] The 3rd cross section following drawing 3 concerning the 2nd operation gestalt.
- [Drawing 5] The 4th cross section following drawing 4 concerning the 2nd operation gestalt.
- [Drawing 6] The cross section of MISFET concerning the 3rd operation gestalt of this invention.
- [Drawing 7] The 1st cross section showing the manufacture method of MISFET of drawing 6 concerning the 4th operation gestalt of this invention in order of a production process.
- [Drawing 8] The 2nd cross section following drawing 7 concerning the 4th operation gestalt.
- [Drawing 9] The 3rd cross section following drawing 8 concerning the 4th operation gestalt.
- [Drawing 10] The 4th cross section following drawing 9 concerning the 4th operation gestalt.
- [Drawing 11] For (a), the cross section of MISFET concerning the 5th operation gestalt of this invention and (b) are a characteristic curve which shows concentration distribution of the dopant of a diffusion layer.
- [Drawing 12] The 1st cross section showing the manufacture method of MISFET of drawing 11 (a) concerning the 6th operation gestalt of this invention in order of a production process.
- [Drawing 13] The 2nd cross section following drawing 12 concerning the 6th operation gestalt.
- [Drawing 14] The 3rd cross section following drawing 13 concerning the 6th operation gestalt.
- [Drawing 15] The 4th cross section following drawing 14 concerning the 6th operation gestalt.
- [Drawing 16] The 5th cross section following drawing 15 concerning the 6th operation gestalt.
- [Drawing 17] The cross section of MISFET concerning the 7th operation gestalt of this invention.
- [Drawing 18] The 1st cross section showing the manufacture method of MISFET of drawing 17 concerning the 8th operation gestalt of this invention in order of a production process.
- [Drawing 19] The 2nd cross section following drawing 18 concerning the 8th operation gestalt.
- [Drawing 20] The 3rd cross section following drawing 19 concerning the 8th operation gestalt.
- [Drawing 21] The 4th cross section following drawing 20 concerning the 8th operation gestalt.
- [Drawing 22] The cross section of MISFET concerning the 9th operation gestalt of this invention.
- [Drawing 23] The 1st cross section showing the manufacture method of MISFET of drawing 22 concerning the 10th operation gestalt of this invention in order of a production process.
- [Drawing 24] The 2nd cross section following drawing 23 concerning the 10th operation gestalt.
- [Drawing 25] The 3rd cross section following drawing 24 concerning the 10th operation gestalt.
- [Drawing 26] The 4th cross section following drawing 25 concerning the 10th operation gestalt.
- [Drawing 27] The 5th cross section following drawing 26 concerning the 10th operation gestalt.
- [Description of Notations]
- 1 -- Silicon substrate
  - 2 -- Gate insulator layer
  - 3 -- Polish recon
  - 4 -- After oxide film
  - 5 -- Low-concentration impurity diffusion field (extension)
  - 6 -- Silicon nitride film
  - 7 -- High-concentration impurity diffusion field
  - 8 -- Cascade screen (Co/TiN film)
  - 9 -- Metal silicide film (CoSi<sub>2</sub> film)
  - 10 -- Epitaxial silicon (single crystal silicon)
  - 11 -- Insulator layer between layers

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252462

(P2000-252462A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 T 5 F 0 4 0
29/43		29/62	G
21/336		29/78	3 0 1 S
29/786			3 0 1 P

審査請求 未請求 請求項の数14 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平11-52683

(22) 出願日 平成11年3月1日 (1999.3.1)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮下 桂

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 大内 和也

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

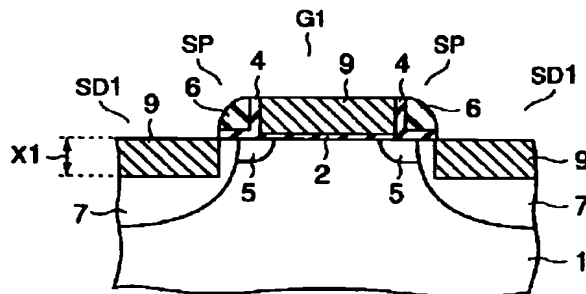
最終頁に続く

(54) 【発明の名称】 M I S 型半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート空乏化現象を解消し、製造技術的に容易で信頼性が高く、コスト的にも負担とならないMIS型半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板上に金属シリサイド膜9のみからなるゲート電極を形成する。ゲート絶縁膜2の上に選択的にゲート電極形成予定のポリシリコンを形成し、その両側にスペーサ4、6、基板表面にソース/ドレイン領域5、7を形成する。ポリシリコン上面をポリシリコン全てがシリサイド化する厚さの金属材料で覆い、熱処理によりポリシリコンを全部金属シリサイド膜9に置換させる。この際、ソース/ドレイン部SD1も表面を覆った金属材料によるシリサイド化がなされ、金属シリサイド膜9を含むソース/ドレイン部SD1となり、シリサイド構造が実現される。



## 【特許請求の範囲】

## 【請求項 1】 半導体基板と、

前記基板表面のチャンネル領域を隔てて形成されたソース／ドレイン部と、

前記チャンネル領域上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成された金属シリサイド膜のみからなるゲート電極とを具備したことを特徴とする M I S 型半導体装置。

【請求項 2】 前記ゲート絶縁膜は、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$  のうちから選択された物質であることを特徴とする請求項 1 記載の M I S 型半導体装置。

【請求項 3】 前記金属シリサイド膜は  $\text{CoSi}_2$  を含むことを特徴とする請求項 1 記載の M I S 型半導体装置。

【請求項 4】 前記ソース／ドレイン部は、金属シリサイド層を含むことを特徴とする請求項 1 記載の M I S 型半導体装置。

【請求項 5】 前記ソース／ドレイン部は、前記基板より高さのある金属シリサイド層を含むことを特徴とする請求項 1 記載の M I S 型半導体装置。

【請求項 6】 前記ソース／ドレイン部は、前記ゲート電極と同じ高さの金属シリサイド層を含むことを特徴とする請求項 1 記載の M I S 型半導体装置。

【請求項 7】 半導体基板上の能動素子領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に選択的にポリシリコンを形成する工程と、

前記ポリシリコンの両側の基板表面にソース／ドレイン領域を形成する工程と、

少なくとも前記ポリシリコン上面部をこのポリシリコン全てがシリサイド化するに十分な厚さの金属材料で覆う工程と、

熱処理により前記ポリシリコンを全部金属シリサイドに置換させ金属シリサイド膜のみからなるゲート電極を形成する工程とを具備したことを特徴とする M I S 型半導体装置の製造方法。

【請求項 8】 前記金属材料は、スパッタリングによる形成から、急速アニーリング及び選択ウェットエッチングを経て金属シリサイドに置換されることを特徴とする請求項 7 記載の M I S 型半導体装置の製造方法。

【請求項 9】 前記金属材料は前記ソース／ドレイン領域上をも覆い、前記ポリシリコンを全部金属シリサイドに置換させる際、前記ソース／ドレイン領域上においても金属シリサイド層が形成される工程をさらに具備することを特徴とする請求項 7 または 8 記載の M I S 型半導体装置の製造方法。

【請求項 10】 前記ソース／ドレイン領域を含む基板上にシリコンを成長させる工程と、前記ポリシリコンを全部金属シリサイドに置換させる際、前記シリコンが全

部金属シリサイドに置換されることにより、金属シリサイド膜を含む構成のソース／ドレイン領域を形成する工程とをさらに具備することを特徴とする請求項 7 または 8 記載の M I S 型半導体装置の製造方法。

【請求項 11】 前記シリコンは、前記ポリシリコンの高さを越えて成長させ、化学的機械的研磨により前記ゲート電極に相当する部分と前記ソース／ドレイン領域に相当する部分を実質同じ高さにする平坦化工程をさらに具備することを特徴とする請求項 10 記載の M I S 型半導体装置の製造方法。

【請求項 12】 半導体基板上的能動素子領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に選択的にポリシリコンを形成する工程と、

前記ポリシリコンの側部に絶縁膜を形成する工程と、

前記ポリシリコン上及びポリシリコンの両側のソース／ドレイン領域を含む基板表面上にシリコンをエピタキシャル成長させる工程と、

前記シリコンの成長層上に少なくとも前記シリコン及びポリシリコン全てがシリサイド化するに十分な厚さの金属材料を堆積する工程と、

熱処理により前記シリコン及びポリシリコンを全部金属シリサイドに置換させ金属シリサイド膜のみからなるゲート電極及び金属シリサイド膜を含む構成のソース／ドレイン領域を形成する工程とを具備したことを特徴とする M I S 型半導体装置の製造方法。

【請求項 13】 半導体基板上的能動素子領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に選択的にポリシリコンを形成する工程と、

前記ポリシリコンの側部に絶縁膜を形成する工程と、

前記ポリシリコン上及びポリシリコンの両側のソース／ドレイン領域を含む基板表面上にシリコンを前記絶縁膜が覆われる程度にエピタキシャル成長させる工程と、

成長した前記シリコンを化学的機械的研磨を用いて前記絶縁膜が露出するまで除去する平坦化工程と、

前記平坦化された構造上に少なくとも前記シリコン及びポリシリコン全てがシリサイド化するに十分な厚さの金属材料を堆積する工程と、

熱処理により前記シリコン及びポリシリコンを全部金属シリサイドに置換させ金属シリサイド膜のみからなるゲート電極及び金属シリサイド膜を含む構成のソース／ドレイン領域を形成する工程とを具備したことを特徴とする M I S 型半導体装置の製造方法。

【請求項 14】 前記金属材料は、 $\text{Co/TiN}$  積層膜または  $\text{Ti/Co/TiN}$  積層膜であり、スパッタリングによる形成から、急速アニーリング及び選択ウェットエッチングを経て金属シリサイドに置換されることを特徴とする請求項 13 または 14 記載の M I S 型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は微細化、高速動作が要求される金属絶縁体半導体型トランジスタ、いわゆるMIS (Metal Insulated Semiconductor) 型半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】MOSFETあるいはMISFETは、高速化のため微細化が進んでいる。これに伴い、次のような構造的障害が顕著になる。

【0003】例えば、ゲート電極としてポリシリコン電極（ポリサイド構造やサリサイド構造、その一部がシリサイド化された電極も含む）を用いる場合には、ゲート空乏化現象が生じる。このため、ゲート絶縁膜の実効的膜厚は、物理膜厚と比べて厚くなってしまふ。また、ゲート絶縁膜のさらなる薄膜化は、トンネル電流の増大を引き起こす。この結果、デバイス動作上問題となる。

【0004】従って、MOS（あるいはMIS）デバイス開発は、ゲート空乏化現象を極力抑えることが微細化達成の重要な要素となってきた。例えば、ポリシリコンの粒径を変化させて粒界面積を減らす。これにより、ドーパントの粒界偏析を低減させる。または、ドーパントの量を増やす、あるいは活性化アニール温度を高温化することでアクティブなドーパントを増加させたりする。

【0005】上記方策は、ゲート空乏化低減の効果はあるが、それだけでは十分とはいえない。そこで、従来用いられてきたポリシリコン電極の代わりに、金属をゲート電極として導入することが考えられている（メタルゲート）。メタルゲートにすれば、ゲート空乏化の問題は解消してゲート絶縁膜は実効的にも薄膜化される。言い換えれば、同一物理膜厚の絶縁膜における素子の高駆動力化が可能になる。

【0006】しかし、メタルゲートの製造方法を考えた場合、RIE（反応性イオンエッチング）工程によるメタル加工の困難性、寸法制御性の劣化が著しく、また、後の熱工程によるゲート絶縁膜やゲート電極の信頼性の低下など懸念される点が多い。従って、メタルゲートの実現可能性は低い。

## 【0007】

【発明が解決しようとする課題】MOSFETあるいはMISFETの高速化のため微細化を推し進めようとするれば、ゲート空乏化現象を極力抑えることが重要である。よって、ポリシリコンを含むゲート電極の構造は避けたいところである。メタルゲートは、ゲート空乏化現象の問題を解消するが、微細化に伴う製造技術的な問題の克服、高い信頼性の確保等、課題が多く、実現可能性は低い。

【0008】この発明は上記のような事情を考慮し、その課題は、ゲート空乏化現象を解消すると共に、製造技

術的に容易で、精度、信頼性の高い、コスト的にも負担とならないゲート電極及び低抵抗のソース／ドレインを有するMIS型半導体装置及びその製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】この発明のMIS型半導体装置は、半導体基板と、前記基板表面のチャネル領域を隔てて形成されたソース／ドレイン部と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属シリサイド膜のみからなるゲート電極とを具備したことを特徴とする。

【0010】この発明のMIS型半導体装置の製造方法は、半導体基板上の能動素子領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に選択的にポリシリコンを形成する工程と、前記ポリシリコンの両側の基板表面にソース／ドレイン領域を形成する工程と、少なくとも前記ポリシリコン上面部をこのポリシリコン全てがシリサイド化するに十分な厚さの金属材料で覆う工程と、熱処理により前記ポリシリコンを全部金属シリサイドに置換させ金属シリサイド膜のみからなるゲート電極を形成する工程とを具備したことを特徴とする。

【0011】この発明では、MIS型半導体装置（特にMISFET）におけるゲート絶縁膜上に、金属シリサイド膜のみからなるゲート電極を設ける。このゲート構造はゲート形成予定領域に堆積したポリシリコンを金属シリサイドに全置換することにより達成される。

## 【0012】

【発明の実施の形態】図1は、この発明の第1実施形態に係るMISFET (Metal Insulated Semiconductor Field Effect Transistor) の断面図である。半導体基板1上にチャネル領域を隔ててソース／ドレイン部SD1が形成されている。このソース／ドレイン部SD1は、LDD (Lightly Doped Drain) またはソース／ドレイン・エクステンションを有する構造であり、チャネル領域に近い側が低濃度の不純物拡散領域5を有する。かつ、このソース／ドレイン部SD1は、上記領域5に隣接する高濃度の不純物拡散領域7において深さX1に至る金属シリサイド膜9が形成されている。

【0013】上記基板1は、N型シリコン基板またはP型シリコン基板であり、また、N型シリコン基板またはP型シリコン基板に設けられたP型またはN型のウェル領域である。

【0014】ゲート絶縁膜2上にゲート電極G1が形成されている。このゲート電極G1は金属シリサイド膜9のみで形成されている。ゲート電極G1の側壁スペースSPは、上記したようなソース／ドレイン部SD1を形成するために必要な構造であり、ここでは酸化膜4、窒化シリコン膜6からなる。

【0015】この発明の最も特徴とする構造は、上記したように、ゲート電極G1が金属シリサイドのみからな

ることである（金属シリサイド膜 9）。このため、微細化及び動作高速化の妨げになるゲート空乏化現象は解決する。

【0016】また、ゲート絶縁膜 2 の材料は、酸化シリコン膜でもよいが、窒化シリコン膜を含んでいる方が好ましい。窒化シリコン膜はゲート電極 G 1 のシリサイドとの反応性が低いからである。

【0017】さらに、窒化シリコン膜は、酸化シリコン膜と比べて誘電率が 2 倍以上高い。よって、酸化シリコン膜に比べて物理的な膜厚を厚くすることができる。例えば、ゲート絶縁膜としてあるパフォーマンスを満足する酸化シリコン膜において、窒化シリコン膜を使えばその酸化シリコン膜の 2 倍以上の厚さ（比誘電率相応分）で同じようなパフォーマンスが得られるのである。

【0018】このようなゲート絶縁膜 2 の例として、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$  のうちから選ばれることが好ましい。これにより、ゲート絶縁膜の薄膜化に伴うトンネル電流の増大を抑えつつ、素子の微細化に寄与することができる。

【0019】なお、この発明に用いる金属シリサイド膜 9 として、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{TiSi}_2$  が代表的である。これ以外のものでも代わり得るが、上記代表的な金属シリサイドについて考察する。

【0020】室温における Si に対するショットキー障壁高さ（ $\phi_B$ ）については以下ようになる（ $\phi_{Bn}$  は N 型、 $\phi_{Bp}$  は P 型の基体に対するショットキー障壁高さをいう）。 $\text{CoSi}_2$  では、 $\phi_{Bn} = 0.64$  [eV]、 $\phi_{Bp} = 0.48$  [eV]、 $\text{NiSi}_2$  では、 $\phi_{Bn} = 0.70$  [eV]、 $\phi_{Bp} = 0.42$  [eV]、 $\text{TiSi}_2$  では、 $\phi_{Bn} = 0.60$  [eV]、 $\phi_{Bp} = 0.52$  [eV]。どの材料も、ほぼ Si のミッド・ギャップに位置するため、メタルゲート電極材料として望ましい。

【0021】電気抵抗率については、 $\text{CoSi}_2$  :  $18 \sim 20$  [ $\mu\Omega \cdot \text{cm}$ ]、 $\text{TiSi}_2$  :  $13 \sim 16$  [ $\mu\Omega \cdot \text{cm}$ ] に対し、 $\text{NiSi}_2$  は  $50$  [ $\mu\Omega \cdot \text{cm}$ ] と若干高くなる点がゲート材料として問題である。

【0022】シリサイド成膜温度は、 $\text{CoSi}_2$  と  $\text{NiSi}_2$  が  $700^\circ\text{C}$  と比較的低いのに対して、 $\text{TiSi}_2$  が  $800^\circ\text{C}$  と高い。絶縁膜（ $\text{SiO}_2$  や  $\text{Si}_3\text{N}_4$ ）中の O 原子や N 原子との反応性については、Co と Ni に比べて Ti は反応生成熱が低いため、容易に反応する。この観点から検討すると、 $\text{TiSi}_2$  は望ましくないということになる。

【0023】以上の点から総括すると、 $\text{CoSi}_2$  が金属シリサイド材料として最も望ましい。以下、各実施例は  $\text{CoSi}_2$  を金属シリサイドとして用いた場合の例について説明するが、 $\text{CoSi}_2$  以外の材料を用いた場合についても適用可能である。

【0024】図 2～図 5 は、この発明の第 2 の実施形態に係る、上記図 1 の MISFET の製造方法を工程順に

示す断面図である。図 1 と同様の箇所には同一の符号を付して説明する。

【0025】P 型シリコン基板あるいは N 型シリコン基板 1 上に、例えば埋めこみ素子分離法により、深さ  $300\text{nm}$  の素子分離構造を形成する（図示せず）。能動素子部にある  $10\text{nm}$  のシリコン酸化膜越しにウェル、チャネルストッパを形成する。典型的なイオン注入条件としては、P ウェルでは B を加速電圧  $260\text{keV}$ 、ドーズ量  $2.0 \times 10^{13}\text{cm}^{-2}$ 、N ウェルでは P（リン）を加速電圧  $500\text{keV}$ 、ドーズ量  $2.5 \times 10^{13}\text{cm}^{-2}$  である。

【0026】その後、図 2 に示すように、ゲート絶縁膜 2（ $\text{Si}_3\text{N}_4$ 、または  $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、または  $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ ）を  $1 \sim 5\text{nm}$ 、およびポリシリコン 3 を  $50\text{nm}$  程度堆積する。次に、リングラフィと異方性エッチング技術を用いてポリシリコン 3 を加工し、後酸化工程を経て酸化膜 4 を形成する。次に、イオン注入によりソース／ドレイン・エクステンション（低濃度の不純物拡散領域 5）を形成する。

【0027】上記エクステンション（低濃度の不純物拡散領域 5）を形成するための典型的なイオン注入条件は、N 型では As を加速電圧  $10\text{keV}$ 、ドーズ量  $5 \times 10^{14}\text{cm}^{-2}$ 、P 型では  $\text{BF}_2$  を加速電圧  $7\text{keV}$ 、ドーズ量  $5 \times 10^{14}\text{cm}^{-2}$  である。

【0028】次に、図 3 に示すように、 $800^\circ\text{C}$  程度の活性化 RTA（急速熱アニール処理）をした後、CVD 法、異方性エッチング技術を経て SiN スペースとしての窒化シリコン膜 6 を加工する。その後、イオン注入と活性化 RTA を行うことによって、深い接合部（高濃度の不純物拡散領域 7）を形成する。

【0029】上記深い接合部（高濃度の不純物拡散領域 7）形成のための典型的なイオン注入条件は、N 型では As を加速電圧  $50\text{keV}$ 、ドーズ量  $7 \times 10^{15}\text{cm}^{-2}$ 、P 型では B を加速電圧  $5\text{keV}$ 、ドーズ量  $4 \times 10^{15}\text{cm}^{-2}$  である。イオン注入後、約  $1000^\circ\text{C}$  程度の活性化 RTA を行うことによって、ソース／ドレイン拡散層のドーパントの活性化を行なう。

【0030】次に、図 4 に示すように、露出している酸化膜 4 及び絶縁膜 2 が残留していれば絶縁膜 2 を薬液処理により剥離した後、全面に Co/TiN の順の 2 層からなる積層膜 8 をスパッタ法を用いて堆積する。上記積層膜 8 の膜厚は、ここでは、Co が  $16\text{nm}$  程度、TiN が  $20\text{nm}$  程度としている。

【0031】上記積層膜 8 の Co の膜厚は、ゲート電極形成予定のポリシリコン 3 全てがシリサイド化する、すなわち  $\text{CoSi}_2$  になるのに十分な厚さが必要である。上記のように、ここではポリシリコン 3 を  $50\text{nm}$  としている。膜厚換算で、Co が 1 に対して  $\text{CoSi}_2$  は 3.5 倍程度になることから、Co が  $16\text{nm}$  程度あれば  $50\text{nm}$  のポリシリコン 3 を全て  $\text{CoSi}_2$  に置換で

きる。また、TiNは酸化防止膜として機能させるための適当な膜厚であればよく、20nm程度とした。

【0032】次に、図5に示すように、RTAにより、ポリシリコン3を全て $\text{CoSi}_2$ からなる金属シリサイド膜9に置換させる。これと同時にソース/ドレイン部の深い接合部（高濃度の不純物拡散領域7）においても、その表面からある程度の深さX1まで $\text{CoSi}_2$ からなる金属シリサイド膜9に置換される。次いで、未反応の金属を選択エッチングにより除去する。

【0033】その後は図示しないが、通常MOSFETと同様に、例えば、全面に絶縁膜を堆積後、CMP処理による平坦化を行い、ソース、ドレイン、ゲートの各部のコンタクトを開口し、そこにW（タングステン）等を含むプラグを埋め込むことにより、MISFETが形成される。

【0034】上記実施形態に係る製造方法によれば、ゲート絶縁膜2上に $\text{CoSi}_2$ 膜のみからなるゲート電極（金属シリサイド膜9）を有すると共に、ソース・ドレイン部SD1にも $\text{CoSi}_2$ 膜を有する自己整合的なシリサイド電極（金属シリサイド膜9）の構成が実現される。これにより、通常のシリサイドの製造方法と全く同じ工程数でメタルゲートが形成できるという利点がある。

【0035】ただし、不良を防ぐため、高信頼性を得るために次の点を留意する。

- (a) ゲート電極形成予定のポリシリコン3全てがシリサイド化するだけの十分な厚さの金属（8）を堆積する。
- (b) なるべくゲート電極のシリサイドとの反応性が低いゲート絶縁膜（2）を採用する。
- (c) ソース/ドレイン部（SD1）における深い接合部（高濃度の不純物拡散領域7）は、金属シリサイド膜9形成の深さ（X1）よりも深く形成する。

【0036】また、上記実施形態に係る製造方法によれば、RIE（反応性イオンエッチング）工程によるメタルゲートと比較した場合、メタル加工の困難に伴う寸法制御性の劣化や後熱工程によるゲート電極の信頼性の低下などの問題は解決し得る。さらにメタルゲートの代替策として、ダミー電極を除去してメタル電極に置き換える、いわゆるダマシゲートと比較した場合は、加工上容易である上、工程数が増えないためコスト面の負担も重くならないという利点がある。

【0037】なお、上記実施形態の方法でゲート電極形成予定のポリシリコン3をシリサイド化するため $\text{Co}/\text{TiN}$ の積層膜8を用いたが、代わりに $\text{Ti}/\text{Co}/\text{TiN}$ の順の3層の積層膜を堆積しても同様の効果が得られる（図示せず）。

【0038】Tiは、ポリシリコン3をシリサイド化する反応を均一に促進させる作用を有する。このような作用を発揮させるためのTiの膜厚は特に決まらない。Tiは薄く均一に形成すればよい。ポリシリコン3が50

nm程度なら、だいたいTiが5nm、Coが16nm、TiNが20nm程度である。

【0039】上記 $\text{Ti}/\text{Co}/\text{TiN}$ の積層膜の場合、RTAの工程を経ることによって、CoがTiと入れ替わり、ポリシリコン3が全て $\text{CoSi}_2$ に置換される。これと同時にソース/ドレイン部の深い接合部（高濃度の不純物拡散領域7）表面も $\text{CoSi}_2$ に置換される。その後、未反応の金属（ $\text{Ti}/\text{TiN}$ の積層膜）は選択的に除去される。

【0040】図6は、この発明の第3実施形態に係るMISFET（Metal Insulated Semiconductor Field Effect Transistor）の断面図である。半導体基板1上にチャネル領域を隔ててソース/ドレイン部SD2が形成されている。このソース/ドレイン部SD2は、LDD（Lightly Doped Drain）またはソース/ドレイン・エクステンションを有する構造であり、チャネル領域に近い側が低濃度の不純物拡散領域5を有する。かつ、このソース/ドレイン部SD2は、エレベーター・ソース/ドレイン構造を含む。すなわち、上記低濃度の不純物拡散領域5に隣接する高濃度の不純物拡散領域7において基板表面からの深さX2（ $< X1$ ）を含むと共に基板表面からある程度の高さH1を有する金属シリサイド膜9が形成されている。

【0041】上記基板1は、N型シリコン基板またはP型シリコン基板であり、また、N型シリコン基板またはP型シリコン基板に設けられたP型またはN型のウェル領域である。

【0042】ゲート絶縁膜2上にゲート電極G2が形成されている。このゲート電極G2は金属シリサイド膜9のみで形成されている。ゲート電極G2の側壁スペースSPは、上記したようなソース/ドレイン部SD2を形成するために必要な構造であり、ここでは酸化膜4、窒化シリコン膜6からなる。

【0043】この発明の最も特徴とする構造は、上記したように、ゲート電極G2が金属シリサイドのみからなることである（金属シリサイド膜9）。このため、微細化及び動作高速化の妨げになるゲート空乏化現象は解決する。

【0044】また、ゲート絶縁膜2の材料は、酸化シリコン膜でもよいが、窒化シリコン膜を含んでいる方が好ましい。その理由は前記第1の実施形態において記載したとおりである。従って、ゲート絶縁膜2は、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ のうちから選ばれることが好ましい。これにより、ゲート絶縁膜の薄膜化に伴うトンネル電流の増大を抑えつつ、素子の微細化に寄与することができる。

【0045】また、この発明に用いる金属シリサイド膜9として、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{TiSi}_2$ が代表的である。これ以外のものでも代わり得るが、前記第1の実施形態で記載した理由から $\text{CoSi}_2$ を用いてい

る。

【0046】上記実施形態の構成は、図1に比べてエレベーター・ソース／ドレイン構造を有しているところが異なる。ソース・ドレイン上に金属シリサイド膜9

( $\text{CoSi}_2$ )がある高さH1をもって延在するため、高濃度の不純物拡散領域7自体の形成を、図1の構成より浅くすることもできる。従って、短チャネル効果に対してより強くなる。

【0047】また、金属シリサイド膜9は、上に延ばすことでより厚く形成することが可能となり、ゲート電極、ソース／ドレインのシート抵抗を低減させることも可能となる。

【0048】図7～図10は、この発明の第4の実施形態に係る、上記図6のMISFETの製造方法を工程順に示す断面図である。図6と同様の箇所には同一の符号を付して説明する。

【0049】P型シリコン基板あるいはN型シリコン基板1上に、例えば埋めこみ素子分離法により、深さ300nmの素子分離構造を形成する(図示せず)。能動素子部にある10nmのシリコン酸化膜越しにウェル、チャネルストッパを形成する。典型的なイオン注入条件としては、PウェルではBを加速電圧260keV、ドーズ量 $2.0 \times 10^{13} \text{cm}^{-2}$ 、NウェルではP(リン)を加速電圧500keV、ドーズ量 $2.5 \times 10^{13} \text{cm}^{-2}$ である。

【0050】その後、図7に示すように、ゲート絶縁膜2( $\text{Si}_3\text{N}_4$ 、または $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、または $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ )を1～5nm、およびポリシリコン3を50nm程度堆積する。次に、リソグラフィと異方性エッチング技術を用いてポリシリコン3を加工し、後酸化工程を経て酸化膜4を形成する。次に、イオン注入によりソース／ドレイン・エクステンション(低濃度の不純物拡散領域5)を形成する。

【0051】上記エクステンション(低濃度の不純物拡散領域5)を形成するための典型的なイオン注入条件は、N型ではAsを加速電圧10keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ 、P型では $\text{BF}_2$ を加速電圧7keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ である。

【0052】その後、800℃程度の活性化RTA(急速熱アニール処理)工程を経た後、CVD法、異方性エッチング技術を用いてSiNスペーサとしての窒化シリコン膜6を加工する。

【0053】次に、図8に示すように、露出している酸化膜4及び絶縁膜2が残留していれば絶縁膜2を薬液処理により剥離、さらにこの剥離後の自然酸化膜を水素アニール処理により剥離した後、エピタキシャルシリコン10を30nm程度選択成長させる。すなわち、単結晶シリコン10は、シリコンの露出したソース／ドレイン部分及びゲート電極形成予定のポリシリコン3上にのみ選択成長する。

【0054】次に、上記エピタキシャルシリコン10越しにイオン注入した後、1000℃程度の活性化RTAを行うことによって、深い接合部(高濃度の不純物拡散領域7)を形成する。

【0055】上記深い接合部(高濃度の不純物拡散領域7)形成のための典型的なイオン注入条件は、N型ではAsを加速電圧65keV、ドーズ量 $7 \times 10^{15} \text{cm}^{-2}$ 、P型ではBを加速電圧7keV、ドーズ量 $4 \times 10^{15} \text{cm}^{-2}$ である。

10 【0056】次に、図9に示すように、全面にCo/TiNの順の2層からなる積層膜8をスパッタ法を用いて堆積する。上記積層膜8の膜厚は、ここでは、Coが26nm程度、TiNが20nm程度としている。

【0057】上記積層膜8のCoの膜厚は、ゲート電極形成予定のポリシリコン3／シリコン10の積層全て、及び、ソース／ドレイン部分上のシリコン10全てがシリサイド化する、すなわち $\text{CoSi}_2$ になるのに十分な厚さが必要である。

20 【0058】上記のように、ここではポリシリコン3を50nm、その上にエピ成長したシリコン10を30nmとしている。膜厚換算で、Coが1に対して $\text{CoSi}_2$ は3.5倍程度になることから、Coが26nm程度あれば、ポリシリコン3とシリコン10の積層80nmを全て $\text{CoSi}_2$ に置換できる。また、TiNは酸化防止膜として機能させるための適当な膜厚であればよく、20nm程度とした。

【0059】次に、図10に示すように、2ステップのRTAにより、ポリシリコン3とシリコン10の積層を全て $\text{CoSi}_2$ からなる金属シリサイド膜9に置換させる。その際、ソース／ドレイン上のシリコン10も $\text{CoSi}_2$ に置換される。それと同時にソース／ドレイン部の深い接合部(高濃度の不純物拡散領域7)においても、その表面からある程度の深さX2まで $\text{CoSi}_2$ からなる金属シリサイド膜9に置換される。次いで、未反応の金属を選択エッチングにより除去する。

30 【0060】その後は図示しないが、通常MOSFETと同様に、例えば、全面に絶縁膜を堆積後、CMP処理による平坦化を行い、ソース、ドレイン、ゲートの各部のコンタクトを開口し、そこにW(タングステン)等を含むプラグを埋め込むことにより、MISFETが形成される。

【0061】上記実施形態に係る製造方法によれば、ゲート絶縁膜2上に $\text{CoSi}_2$ 膜のみからなるゲート電極(シリサイド膜9)を有すると共に、ソース・ドレイン部(SD2)にも $\text{CoSi}_2$ 膜を有する自己整合的なシリサイド電極(シリサイド膜9)の構成が実現される(シリサイド構造)。

50 【0062】さらに、このようなシリサイド技術と上記エレベーター・ソース／ドレイン技術とでプロセスの整合がとれるのが大きな利点である。エレベーター・



ソース／ドレインは、例えば 0.12  $\mu\text{m}$  世代以降で用いられる微細化、高速化に重要な技術であり、サリサイドと容易に組み合わせのできる製造方法を提供することによって、高信頼性の高速化デバイスが構成可能である。

【0063】ただし、不良を防ぐため、高信頼性を得るために次の点を留意する。

(a) ゲート電極形成予定のポリシリコン 3 及びエビ成長のシリコン 10 全てがシリサイド化するだけの十分な厚さの金属 (8) を堆積する。

(b) なるべくゲート電極のシリサイドとの反応性が低いゲート絶縁膜 (2) を採用する。

(c) ソース／ドレイン部 (SD2) における深い接合部 (高濃度の不純物拡散領域 7) は、エレベーター・ソース／ドレイン構造となるシリコン 10 の高さ H1 を考慮して、また、このシリコン 10 を越えて基板表面からある程度の深さ (X2 (< X1)) まで金属シリサイド膜 9 が形成されることを考慮しつつ、前記第 2 実施例よりも浅い形成が実現可能である。

【0064】また、上記実施形態に係る製造方法によれば、RIE (反応性イオンエッチング) 工程によるメタルゲートと比較した場合、メタル加工の困難に伴う寸法制御性の劣化や後熟工程によるゲート電極の信頼性の低下などの問題は解決し得る。さらに、いわゆるダマシゲートと比較した場合は、加工上容易である上、工程数が増えないためコスト面の負担も重くならないという利点がある。

【0065】なお、上記実施形態の方法では、ゲート電極形成予定のポリシリコン 3 及びシリコン 10 の積層、エレベーター・ソース／ドレイン形成のためのシリコン 10 をシリサイド化するために Co/TiN の積層膜 8 を用いたが、その代わりに Ti/Co/TiN の順の 3 層の積層膜を堆積しても同様の効果が得られる (図示せず)。

【0066】Ti は、ポリシリコン 3 をシリサイド化する反応を均一に促進させる作用を有する。このような作用を発揮させるための Ti の膜厚は特に決まらない。Ti は薄く均一に形成すればよい。ポリシリコン 3 が 50 nm、エピタキシャルシリコン 10 が 30 nm なら、例えば Ti が 5 nm、Co が 26 nm、TiN が 20 nm 程度である。

【0067】上記 Ti/Co/TiN の積層膜の場合、RTA の工程を経ることによって、Co が Ti と入れ替わり、ポリシリコン 3 が全て CoSi<sub>2</sub> に置換される。これと同時にソース／ドレイン部の深い接合部 (高濃度の不純物拡散領域 7) 表面も CoSi<sub>2</sub> に置換される。その後、未反応の金属 (Ti/TiN の積層膜) は選択的に除去される。

【0068】図 11 (a) は、この発明の第 5 実施形態に係る MISFET (Metal Insulated Semiconductor Field Effect Transistor) の断面図である。半導体基

板 1 上にチャネル領域を隔ててソース／ドレイン部 SD3 が形成されている。このソース／ドレイン部 SD3 は、LDD (Lightly Doped Drain) またはソース／ドレイン・エクステンションを有する構造であり、チャネル領域に近い側が低濃度の不純物拡散領域 5 を有する。かつ、このソース／ドレイン部 SD3 は、エレベーター・ソース／ドレイン構造であり、上記低濃度の不純物拡散領域 5 に隣接する高濃度の不純物拡散領域 7 の表面からゲート電極 G3 (後述する) とほぼ同じ高さ H2 (< H1) を有する金属シリサイド膜 9 が形成されている。

【0069】上記基板 1 は、N 型シリコン基板または P 型シリコン基板であり、また、N 型シリコン基板または P 型シリコン基板に設けられた P 型または N 型のウェル領域である。

【0070】ゲート絶縁膜 2 上にゲート電極 G3 が形成されている。このゲート電極 G3 は金属シリサイド膜 9 のみで形成されている。ゲート電極 G3 の側壁スペース SP は、上記したようなソース／ドレイン部 SD3 を形成するために必要な構造であり、ここでは酸化膜 4、窒化シリコン膜 6 からなる。

【0071】この発明の最も特徴とする構造は、上記したように、ゲート電極 G3 が金属シリサイドのみからなることである (金属シリサイド膜 9)。このため、微細化及び動作高速化の妨げになるゲート空乏化現象は解決する。

【0072】また、ゲート絶縁膜 2 の材料は、酸化シリコン膜でもよいが、窒化シリコン膜を含んでいる方が好ましい。その理由は前記第 1 の実施形態において記載したとおりである。従って、ゲート絶縁膜 2 は、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub> + Si<sub>3</sub>N<sub>4</sub>、SiO<sub>x</sub>N<sub>y</sub> + Si<sub>3</sub>N<sub>4</sub> のうちから選ばれることが好ましい。これにより、ゲート絶縁膜の薄膜化に伴うトンネル電流の増大を抑えつつ、素子の微細化に寄与することができる。

【0073】また、この発明に用いる金属シリサイド膜 9 として、CoSi<sub>2</sub>、NiSi<sub>2</sub>、TiSi<sub>2</sub> が代表的である。これ以外のものでも代わり得るが、前記第 1 の実施形態で記載した理由から CoSi<sub>2</sub> を用いている。

【0074】上記図 11 (a) の構成は、前記図 6 に比べてエレベーター・ソース／ドレインの構成が次の点で異なっている。ソース・ドレイン上に形成された金属シリサイド膜 9 (CoSi<sub>2</sub>) の界面は、高濃度の不純物拡散領域 7 のほぼ表面に位置することである。高濃度の不純物拡散領域 7 の表面は、図 11 (b) に示すように、不純物拡散領域 7 のドーパント濃度のピーク近傍である。この結果、金属シリサイド膜 9 (CoSi<sub>2</sub>) と不純物拡散領域 7 との界面抵抗が下がり、より高速動作に寄与する。

【0075】また、高濃度の不純物拡散領域 7 自体の形

成を、図6の構成よりさらに浅くすることもできる。従って、短チャネル効果に対してより強くなる。また、金属シリサイド膜9は、上に延ばす(高さH2(<H1))ことでより厚く形成することが可能となり、ゲート電極、ソース/ドレインのシート抵抗を低減させることも可能となる。

【0076】図12~図16は、この発明の第6の実施形態に係る、上記図11(a)のMISFETの製造方法を工程順に示す断面図である。図11(a)と同様の箇所には同一の符号を付して説明する。

【0077】P型シリコン基板あるいはN型シリコン基板1上に、例えば埋めこみ素子分離法により、深さ300nmの素子分離構造を形成する(図示せず)。能動素子部にある10nmのシリコン酸化膜越しにウェル、チャネルストッパを形成する。典型的なイオン注入条件としては、PウェルではBを加速電圧260keV、ドーズ量 $2.0 \times 10^{13} \text{ cm}^{-2}$ 、NウェルではP(リン)を加速電圧500keV、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ である。

【0078】その後、図12に示すように、ゲート絶縁膜2( $\text{Si}_3\text{N}_4$ 、または $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、または $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ )を1~5nm、およびポリシリコン3を50nm程度堆積する。次に、リソグラフィと異方性エッチング技術を用いてポリシリコン3を加工し、後酸化工程を経て酸化膜4を形成する。次に、イオン注入によりソース/ドレイン・エクステンション(低濃度の不純物拡散領域5)を形成する。

【0079】上記エクステンション(低濃度の不純物拡散領域5)を形成するための典型的なイオン注入条件は、N型ではAsを加速電圧10keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ 、P型では $\text{BF}_2$ を加速電圧7keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ である。

【0080】その後、800℃程度の活性化RTA(急速熱アニール処理)工程を経た後、CVD法、異方性エッチング技術を用いてSiNスペーサとしての窒化シリコン膜6を加工する。

【0081】次に、図13に示すように、露出している酸化膜4及び絶縁膜2が残留していれば絶縁膜2を薬液処理により剥離、さらにこの剥離後の自然酸化膜を水素アニール処理により剥離した後、エピタキシャルシリコン10を100nm程度選択成長させる。すなわち、単結晶シリコン10は、シリコンの露出したソース/ドレイン部分及びゲート電極形成予定のポリシリコン3上のみ選択成長する。成長を続けるとやがては全体を覆う。

【0082】次に、図14に示すように、スペーサとしての窒化膜6をストッパーにしてCMP(化学的機械的研磨)処理を行う。すなわち、窒化膜6の最上面が露出するまで平坦化を行なう。これにより、ソース/ドレイン部のシリコン10は、ゲート電極形成予定のポリシリ

コン3と同じ高さ(50nm程度)となる。その後、1000℃程度の活性化RTAを行うことによって、深い接合部(高濃度の不純物拡散領域7)を形成する。

【0083】上記深い接合部(高濃度の不純物拡散領域7)形成のための典型的なイオン注入条件は、N型ではAsを加速電圧50keV、ドーズ量 $7 \times 10^{15} \text{ cm}^{-2}$ 、P型ではBを加速電圧5keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ である。

【0084】次に、図15に示すように、全面にCo/TiNの順の2層からなる積層膜8をスパッタ法を用いて堆積する。上記積層膜8の膜厚は、ここでは、Coが16nm程度、TiNが20nm程度としている。

【0085】上記積層膜8のCoの膜厚は、ゲート電極形成予定のポリシリコン3全て、及び、ソース/ドレイン部分上のシリコン10全てがシリサイド化する、すなわち $\text{CoSi}_2$ になるのに十分な厚さが必要である。

【0086】上記のように、ここではポリシリコン3が50nm、ソース/ドレイン部分にエビ成長したシリコン10も50nmとしている。膜厚換算で、Coが1に対して $\text{CoSi}_2$ は3.5倍程度になることから、Coが16nm程度あれば、ポリシリコン3、シリコン10各々は全て $\text{CoSi}_2$ に置換できる。また、TiNは酸化防止膜として機能させるための適当な膜厚であればよく、20nm程度とした。

【0087】次に、図16に示すように、2ステップのRTAにより、ポリシリコン3とシリコン10それぞれを全て $\text{CoSi}_2$ からなる金属シリサイド膜9に置換させる。次いで、未反応の金属を選択エッチングにより除去する。

【0088】その後は図示しないが、通常のMOSFETと同様に、例えば、全面に絶縁膜を堆積後、CMP処理による平坦化を行い、ソース、ドレイン、ゲートの各部のコンタクトを開口し、そこにW(タングステン)等を含むプラグを埋め込むことにより、MISFETが形成される。

【0089】上記実施形態に係る製造方法によれば、第4の実施形態に記載したのと同様に、ゲート電極G3とソース・ドレイン部SD3に自己整合的に $\text{CoSi}_2$ 膜(金属シリサイド膜9)が形成できる(シリサイド構造)。また、シリサイド技術と上記エレベーター・ソース/ドレイン技術とでプロセスの整合が容易にとれる。これにより、高信頼性の高速化デバイスが構成可能である。

【0090】ただし、不良を防ぐため、高信頼性を得るために次の点を留意する。

(a) ゲート電極形成予定のポリシリコン3及びエビ成長のシリコン10全てがシリサイド化するだけの十分な厚さの金属(8)を堆積する。

(b) なるべくゲート電極のシリサイドとの反応性が低いゲート絶縁膜(2)を採用する。

(c) ソース／ドレイン部 (SD3) における深い接合部 (高濃度の不純物拡散領域7) は、エレベータード・ソース／ドレイン構造となるシリコン10の高さ(H2)を考慮して、また、基板表面の界面近傍で金属シリサイド膜9の形成が止まることを考慮しつつ、前記第4実施例よりも浅い形成が実現可能である。

【0091】また、上記実施形態に係る製造方法によれば、RIE (反応性イオンエッチング) 工程によるメタルゲートと比較した場合、メタル加工の困難に伴う寸法制御性の劣化や後熱工程によるゲート電極の信頼性の低下などの問題は解決し得る。

【0092】なお、上記実施形態の方法では、ゲート電極形成予定のポリシリコン3、エレベータード・ソース／ドレイン形成のためのシリコン10をシリサイド化するためにCo/TiNの積層膜8を用いたが、その代わりにTi/Co/TiNの順の3層の積層膜を堆積しても同様の効果が得られる (図示せず)。

【0093】Tiは、ポリシリコン3をシリサイド化する反応を均一に促進させる作用を有する。このような作用を発揮させるためのTiの膜厚は特に決まらない。Tiは薄く均一に形成すればよい。ポリシリコン3、エピタキシャルシリコン10が共に50nmなら、例えばTiが5nm、Coが16nm、TiNが20nm程度にすればよい。

【0094】上記Ti/Co/TiNの積層膜の場合、RTAの工程を経ることによって、CoがTiと入れ替わり、ポリシリコン3が全てCoSi<sub>2</sub>に置換される。これと同時にソース／ドレイン部のシリコン10も全てCoSi<sub>2</sub>に置換される。その後、未反応の金属 (Ti/TiNの積層膜) は選択的に除去される。

【0095】図17は、この発明の第7実施形態に係るMISFET (Metal Insulated Semiconductor Field Effect Transistor) の断面図である。半導体基板1上にチャネル領域を隔ててソース／ドレイン部SD4が形成されている。このソース／ドレイン部SD4は、LD D (Lightly Doped Drain) またはソース／ドレイン・エクステンションを有する構造であり、チャネル領域に近い側が低濃度の不純物拡散領域5、これに隣接して高濃度の不純物拡散領域7を有する。かつ、このソース／ドレイン部SD4は、シリサイド化されていない点が前述の各実施形態と違う点である。

【0096】上記基板1は、N型シリコン基板またはP型シリコン基板であり、また、N型シリコン基板またはP型シリコン基板に設けられたP型またはN型のウェル領域である。

【0097】ゲート絶縁膜2上にゲート電極G4が形成されている。このゲート電極G4は金属シリサイド膜9のみで形成されている。ゲート電極G4の側壁スペーサSPは、上記したようなソース／ドレイン部SD4を形成するために必要な構造であり、ここでは酸化膜4、窒

化シリコン膜6からなる。

【0098】この発明の最も特徴とする構造は、上記したように、ゲート電極G4が金属シリサイドのみからなることである (金属シリサイド膜9)。このため、微細化及び動作高速化の妨げになるゲート空乏化現象は解決する。

【0099】また、上記したように、ソース／ドレイン部SD4は、シリサイド化されていない。これにより極浅い接合が実現される。さらなる微細化には信頼性が高まる構成である。

【0100】また、ゲート絶縁膜2の材料は、酸化シリコン膜でもよいが、窒化シリコン膜を含んでいる方が好ましい。その理由は前記第1の実施形態において記載したとおりである。従って、ゲート絶縁膜2は、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>、SiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>のうちから選ばれることが好ましい。これにより、ゲート絶縁膜の薄膜化に伴うトンネル電流の増大を抑えつつ、素子の微細化に寄与することができる。

【0101】また、この発明に用いる金属シリサイド膜9として、CoSi<sub>2</sub>、NiSi<sub>2</sub>、TiSi<sub>2</sub>が代表的である。これ以外のものでも代わり得るが、前記第1の実施形態で記載した理由からCoSi<sub>2</sub>を用いている。

【0102】図18～図21は、この発明の第8の実施形態に係る、上記図17のMISFETの製造方法を工程順に示す断面図である。図17と同様の箇所には同一の符号を付して説明する。

【0103】P型シリコン基板あるいはN型シリコン基板1上に、例えば埋めこみ素子分離法により、深さ300nmの素子分離構造を形成する (図示せず)。能動素子部にある10nmのシリコン酸化膜越しにウェル、チャネルストップを形成する。典型的なイオン注入条件としては、PウェルではBを加速電圧260keV、ドーズ量 $2.0 \times 10^{13} \text{ cm}^{-2}$ 、NウェルではP (リン) を加速電圧500keV、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ である。

【0104】その後、図18に示すように、ゲート絶縁膜2 (Si<sub>3</sub>N<sub>4</sub>、またはSiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>、またはSiO<sub>x</sub>N<sub>y</sub>+Si<sub>3</sub>N<sub>4</sub>) を1～5nm、およびポリシリコン3を50nm程度堆積する。次に、リソグラフィと異方性エッチング技術を用いてポリシリコン3を加工する。このとき、ソース／ドレイン側に延在したゲート絶縁膜2 (材料は例えばSi<sub>3</sub>N<sub>4</sub>) は残存したままとする。その後、後酸化工程を経て酸化膜4を形成する。次に、イオン注入によりソース／ドレイン・エクステンション (低濃度の不純物拡散領域5) を形成する。

【0105】上記エクステンション (低濃度の不純物拡散領域5) を形成するための典型的なイオン注入条件は、N型ではAsを加速電圧10keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ 、P型ではBF<sub>2</sub>を加速電圧7keV、ド

ーズ量  $5 \times 10^{14} \text{ cm}^{-2}$  である。

【0106】次に、図19に示すように、800℃程度の活性化RTA（急速熱アニール処理）をした後、CVD法、異方性エッチング技術を経てSiNスペーサとしての窒化シリコン膜6を加工する。その後、イオン注入と活性化RTAを行うことによって、深い接合部（高濃度の不純物拡散領域7）を形成する。

【0107】上記深い接合部（高濃度の不純物拡散領域7）形成のための典型的なイオン注入条件は、N型ではAsを加速電圧30keV、ドーズ量  $7 \times 10^{15} \text{ cm}^{-2}$ 、P型ではBを加速電圧3keV、ドーズ量  $4 \times 10^{15} \text{ cm}^{-2}$  である。イオン注入後、約1000℃程度の活性化RTAを行うことによって、ソース/ドレイン拡散層のドーパントの活性化を行なう。

【0108】次に、図20に示すように、薬液処理（例えば希弗酸処理）により、ポリシリコン3上部の酸化膜4を剥離後、全面にCo/TiNの順の2層からなる積層膜8をスパッタ法を用いて堆積する。上記積層膜8の膜厚は、ここでは、Coが16nm程度、TiNが20nm程度としている。

【0109】上記積層膜8のCoの膜厚は、ゲート電極形成予定のポリシリコン3全てがシリサイド化する、すなわちCoSi<sub>2</sub>になるのに十分な厚さが必要である。上記のように、ここではポリシリコン3を50nmとしている。膜厚換算で、Coが1に対してCoSi<sub>2</sub>は3.5倍程度になることから、Coが16nm程度あれば50nmのポリシリコン3を全てCoSi<sub>2</sub>に置換できる。また、TiNは酸化防止膜として機能させるための適当な膜厚であればよく、20nm程度とした。

【0110】次に、図21に示すように、RTAにより、ポリシリコン3を全てCoSi<sub>2</sub>からなる金属シリサイド膜9に置換させる。次いで、未反応の金属を選択エッチングにより除去する。その際、ソース・ドレイン部の最表面にはゲート絶縁膜2のSi<sub>3</sub>N<sub>4</sub>が存在するため、CoがSiと反応せずに除去されてしまう。

【0111】その後は図示しないが、通常のMOSFETと同様に、例えば、全面に絶縁膜を堆積後、CMP処理による平坦化を行い、ソース、ドレイン、ゲートの各部のコンタクトを開口し、そこにW（タングステン）等を含むプラグを埋め込むことにより、MISFETが形成される。

【0112】上記実施形態に係る製造方法によれば、上述の他の各実施形態と比べた場合、ソース/ドレイン領域が金属シリサイド膜に変換されないため、非常に浅い拡散層を形成することができる。かつ十分な膜厚を持つ金属シリサイド膜9、すなわちCoSi<sub>2</sub>膜のみからなるゲート電極を有する構成が実現される。ただし、不良を防ぐため、高信頼性を得るために次の点を留意する。  
(a) ゲート電極形成予定のポリシリコン3全てがシリ

(b) なるべくゲート電極のシリサイドとの反応性が低いゲート絶縁膜(2)を採用する。

また、上記実施形態に係る製造方法によれば、RIE（反応性イオンエッチング）工程によるメタルゲートと比較した場合、メタル加工の困難に伴う寸法制御性の劣化や後熱工程によるゲート電極の信頼性の低下などの問題は解決し得る。いわゆるダマシゲートと比較した場合は、加工上容易である上、工程数が増えないためコスト面の負担も重くならないという利点がある。

【0113】なお、上記実施形態の方法では、ゲート電極形成予定のポリシリコン3をシリサイド化するためにCo/TiNの積層膜8を用いたが、代わりにTi/Co/TiNの順の3層の積層膜を堆積しても同様の効果が得られる（図示せず）。

【0114】Tiは、ポリシリコン3をシリサイド化する反応を均一に促進させる作用を有する。このような作用を発揮させるためのTiの膜厚は特に決まらない。Tiは薄く均一に形成すればよい。ポリシリコン3が50nm程度なら、だいたいTiが5nm、Coが16nm、TiNが20nm程度である。

【0115】上記Ti/Co/TiNの積層膜の場合、RTAの工程を経ることによって、CoがTiと入れ替わり、ポリシリコン3が全てCoSi<sub>2</sub>に置換される。その後、未反応の金属（Ti/TiNの積層膜）は選択的に除去される。

【0116】図22は、この発明の第9の実施形態に係るMISFET（Metal Insulated Semiconductor Field Effect Transistor）の断面図である。半導体基板1上にチャネル領域を隔ててソース/ドレイン部SD5が形成されている。このソース/ドレイン部SD5は、前記第7の実施形態と同じくシリサイド化されていない。すなわち、LDD（Lightly Doped Drain）またはソース/ドレイン・エクステンションを有する構造であり、チャネル領域に近い側が低濃度の不純物拡散領域5、これに隣接して高濃度の不純物拡散領域7を有する。

【0117】上記基板1は、N型シリコン基板またはP型シリコン基板であり、また、N型シリコン基板またはP型シリコン基板に設けられたP型またはN型のウェル領域である。

【0118】ゲート絶縁膜2上にゲート電極G5が形成されている。このゲート電極G5は金属シリサイド膜9のみで形成されている。ゲート電極G5の側壁スペーサSPは、上記したようなソース/ドレイン部SD5を形成するために必要な構造であり、ここでは酸化膜4、窒化シリコン膜6からなる。また、層間の絶縁膜11が平坦化された状態で構成されている。

【0119】この発明の最も特徴とする構造は、上記したように、ゲート電極G5が金属シリサイドのみからなることである（金属シリサイド膜9）。このため、微細化及び動作高速化の妨げになるゲート空乏化現象は解決

する。

【0120】また、上記したように、ソース/ドレイン部SD5は、シリサイド化されていない。これにより極浅い接合が実現される。さらなる微細化には信頼性が高まる構成である。

【0121】また、ゲート絶縁膜2の材料は、酸化シリコン膜でもよいが、窒化シリコン膜を含んでいる方が好ましい。その理由は前記第1の実施形態において記載したとおりである。従って、ゲート絶縁膜2は、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、 $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ のうちから選ばれることが好ましい。これにより、ゲート絶縁膜の薄膜化に伴うトンネル電流の増大を抑えつつ、素子の微細化に寄与することができる。

【0122】また、この発明に用いる金属シリサイド膜9として、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{TiSi}_2$ が代表的である。これ以外のものでも代わり得るが、前記第1の実施形態で記載した理由から $\text{CoSi}_2$ を用いている。

【0123】図23～図27は、この発明の第10の実施形態に係る、上記図22のMISFETの製造方法を工程順に示す断面図である。図22と同様の箇所には同一の符号を付して説明する。

【0124】P型シリコン基板あるいはN型シリコン基板1上に、例えば埋めこみ素子分離法により、深さ300nmの素子分離構造を形成する（図示せず）。能動素子部にある10nmのシリコン酸化膜越しにウェル、チャネルストッパを形成する。典型的なイオン注入条件としては、PウェルではBを加速電圧260keV、ドーズ量 $2.0 \times 10^{13} \text{cm}^{-2}$ 、NウェルではP（リン）を加速電圧500keV、ドーズ量 $2.5 \times 10^{13} \text{cm}^{-2}$ である。

【0125】その後、図23に示すように、ゲート絶縁膜2（ $\text{Si}_3\text{N}_4$ 、または $\text{SiO}_2 + \text{Si}_3\text{N}_4$ 、または $\text{SiO}_x\text{N}_y + \text{Si}_3\text{N}_4$ ）を1～5nm、およびポリシリコン3を50nm程度堆積する。次に、リソグラフィと異方性エッチング技術を用いてポリシリコン3を加工する。その後、後酸化工程を経て酸化膜4を形成する。次に、イオン注入によりソース/ドレイン・エクステンション（低濃度の不純物拡散領域5）を形成する。

【0126】上記エクステンション（低濃度の不純物拡散領域5）を形成するための典型的なイオン注入条件は、N型ではAsを加速電圧10keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ 、P型では $\text{BF}_2$ を加速電圧7keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ である。

【0127】次に、800℃程度の活性化RTA（急速熱アニール処理）をした後、CVD法、異方性エッチング技術を経てSiNスペーサとしての窒化シリコン膜6を加工する。その後、イオン注入と活性化RTAを行うことによって、深い接合部（高濃度の不純物拡散領域7）を形成する。

【0128】上記深い接合部（高濃度の不純物拡散領域7）形成のための典型的なイオン注入条件は、N型ではAsを加速電圧30keV、ドーズ量 $7 \times 10^{15} \text{cm}^{-2}$ 、P型ではBを加速電圧3keV、ドーズ量 $4 \times 10^{15} \text{cm}^{-2}$ である。イオン注入後、約1000℃程度の活性化RTAを行うことによって、ソース/ドレイン拡散層のドーパントの活性化を行なう。

【0129】次に、図24に示すように、層間の絶縁膜（酸化膜）11を100nm程度堆積する。次に図25に示すように、ポリシリコン3をストッパーとしたCMP処理により平坦化を行なう。

【0130】次に、図26に示すように、ポリシリコン3の最上面を含んで全面に、Co/TiNの順の2層からなる積層膜8をスパッタ法を用いて堆積する。上記積層膜8の膜厚は、ここでは、Coが16nm程度、TiNが20nm程度としている。

【0131】上記積層膜8のCoの膜厚は、ゲート電極形成予定のポリシリコン3全てがシリサイド化する、すなわち $\text{CoSi}_2$ になるのに十分な厚さが必要である。上記のように、ここではポリシリコン3を50nmとしている。膜厚換算で、Coが1に対して $\text{CoSi}_2$ は3.5倍程度になることから、Coが16nm程度あれば50nmのポリシリコン3を全て $\text{CoSi}_2$ に置換できる。また、TiNは酸化防止膜として機能させるための適当な膜厚であればよく、20nm程度とした。

【0132】次に、図27に示すように、RTAにより、ポリシリコン3を全て $\text{CoSi}_2$ からなる金属シリサイド膜9に置換させる。次いで、層間絶縁膜11上の未反応の金属を選択エッチングにより除去する。

【0133】その後は図示しないが、通常MOSFETと同様に、例えば、ソース、ドレイン、ゲートの各部をコンタクトすることにより、MISFETが形成される。

【0134】上記実施形態に係る製造方法によれば、ソース/ドレイン部上が層間絶縁膜11に覆われているため、ソース/ドレイン部には $\text{CoSi}_2$ 膜が形成されない。ソース/ドレイン部の高濃度の不純物拡散領域7として非常に浅い接合を作ることが可能となる。上記第8の実施形態と比べると、工程数が増える反面、ソース、ドレイン、ゲート間の電氣的短絡が起こりにくいという点が利点である。

【0135】また、ゲート絶縁膜2上に $\text{CoSi}_2$ 膜のみからなるゲート電極（金属シリサイド膜9）を有する構成が実現される。ただし、不良を防ぐため、高信頼性を得るために次の点を留意する。

- (a) ゲート電極形成予定のポリシリコン3全てがシリサイド化するだけの十分な厚さの金属（8）を堆積する。
- (b) なるべくゲート電極のシリサイドとの反応性が低いゲート絶縁膜（2）を採用する。

また、上記実施形態に係る製造方法によれば、RIE

(反応性イオンエッチング) 工程によるメタルゲートと比較した場合、メタル加工の困難に伴う寸法制御性の劣化や後熱工程によるゲート電極の信頼性の低下などの問題は解決し得る。

【0136】なお、上記実施形態の方法ではゲート電極形成予定のポリシリコン3をシリサイド化するためCo/TiNの積層膜8を用いたが、代わりにTi/Co/TiNの順の3層の積層膜を堆積しても同様の効果が得られる(図示せず)。

【0137】Tiは、ポリシリコン3をシリサイド化する反応を均一に促進させる作用を有する。このような作用を発揮させるためのTiの膜厚は特に決まらない。Tiは薄く均一に形成すればよい。ポリシリコン3が50nm程度なら、だいたいTiが5nm、Coが16nm、TiNが20nm程度である。

【0138】上記Ti/Co/TiNの積層膜の場合、RTAの工程を経ることによって、CoがTiと入れ替わり、ポリシリコン3が全てCoSi<sub>2</sub>に置換される。その後、未反応の金属(Ti/TiNの積層膜)は選択的に除去される。

【0139】以上各実施例によれば、高速MISデバイスとしてメタルゲートの加工制御性がよく、高信頼性で高歩留まりが期待できる。ダマシゲート(埋込みゲート電極)技術に比べてダミーゲート除去およびメタル埋込み等のゲート加工がないため、工程数も増えない。

【0140】また、0.12μm世代以降で必要となってくるエレベータッド・ソース/ドレインプロセスとの整合性を見出すことが容易であり、シリサイド技術も工程数を増やさずに容易に取り入れることができる。

【0141】

【発明の効果】以上説明したようにこの発明によれば、ゲート電極形成予定位置に加工したポリシリコンを金属シリサイドゲートに全置換することにより、ゲート絶縁膜上に金属シリサイド膜のみからなるゲート電極を有し、また所望によりソース/ドレイン上にも金属シリサイド膜を有して低抵抗化、微細化に対処する構造が容易に実現可能なMIS型半導体装置及びその製造方法が提供できる。

【0142】また、この発明においては、ゲート電極が金属シリサイドのみからなるため、ゲート空乏化現象は解決する。しかも、メタル加工の困難に伴う寸法制御性の劣化や後熱工程によるゲート電極の信頼性の低下などの問題も解消できる。いわゆるダマシゲートと比較しても加工上容易である上、工程数が増えないためコスト面の負担も重くならない。よって、経済的にも有利で高信頼性をもって高速動作、微細化に対応可能なMIS型半導体装置及びその製造方法が提供できる。

【図面の簡単な説明】

【図1】この発明の第1実施形態に係るMISFETの断面図。

【図2】この発明の第2の実施形態に係る、図1のMISFETの製造方法を工程順に示す第1の断面図。

【図3】第2の実施形態に係る、図2に続く第2の断面図。

【図4】第2の実施形態に係る、図3に続く第3の断面図。

【図5】第2の実施形態に係る、図4に続く第4の断面図。

【図6】この発明の第3実施形態に係るMISFETの断面図。

【図7】この発明の第4の実施形態に係る、図6のMISFETの製造方法を工程順に示す第1の断面図。

【図8】第4の実施形態に係る、図7に続く第2の断面図。

【図9】第4の実施形態に係る、図8に続く第3の断面図。

【図10】第4の実施形態に係る、図9に続く第4の断面図。

【図11】(a)は、この発明の第5の実施形態に係るMISFETの断面図、(b)は、拡散層のドーパントの濃度分布を示す特性曲線。

【図12】この発明の第6の実施形態に係る、図11(a)のMISFETの製造方法を工程順に示す第1の断面図。

【図13】第6の実施形態に係る、図12に続く第2の断面図。

【図14】第6の実施形態に係る、図13に続く第3の断面図。

【図15】第6の実施形態に係る、図14に続く第4の断面図。

【図16】第6の実施形態に係る、図15に続く第5の断面図。

【図17】この発明の第7実施形態に係るMISFETの断面図。

【図18】この発明の第8の実施形態に係る、図17のMISFETの製造方法を工程順に示す第1の断面図。

【図19】第8の実施形態に係る、図18に続く第2の断面図。

【図20】第8の実施形態に係る、図19に続く第3の断面図。

【図21】第8の実施形態に係る、図20に続く第4の断面図。

【図22】この発明の第9の実施形態に係るMISFETの断面図。

【図23】この発明の第10の実施形態に係る、図22のMISFETの製造方法を工程順に示す第1の断面図。

【図24】第10の実施形態に係る、図23に続く第2の断面図。

【図25】第10の実施形態に係る、図24に続く第3

の断面図。

【図 26】第 10 の実施形態に係る、図 25 に続く第 4 の断面図。

【図 27】第 10 の実施形態に係る、図 26 に続く第 5 の断面図。

【符号の説明】

- 1…シリコン基板
- 2…ゲート絶縁膜
- 3…ポリシリコン

4…後酸化膜

5…低濃度の不純物拡散領域 (エクステンション)

6…窒化シリコン膜

7…高濃度の不純物拡散領域

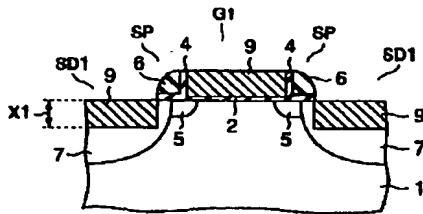
8…積層膜 (Co/TiN 膜)

9…金属シリサイド膜 (CoSi<sub>2</sub> 膜)

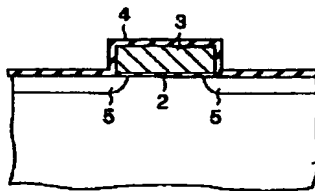
10…エピタキシャルシリコン (単結晶シリコン)

11…層間の絶縁膜

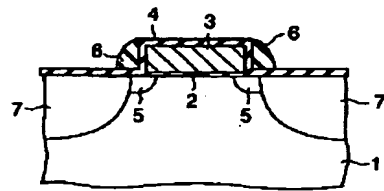
【図 1】



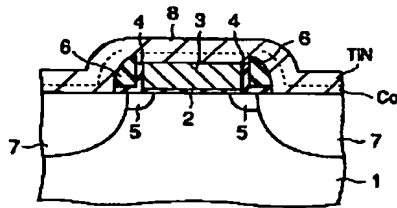
【図 2】



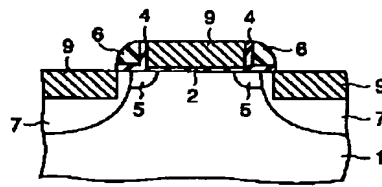
【図 3】



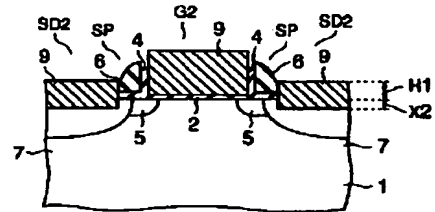
【図 4】



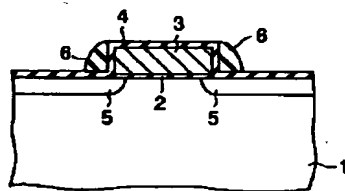
【図 5】



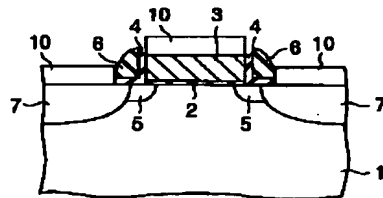
【図 6】



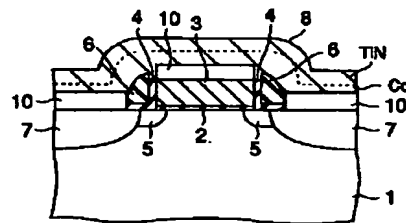
【図 7】



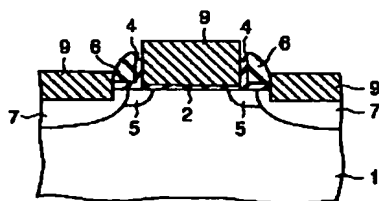
【図 8】



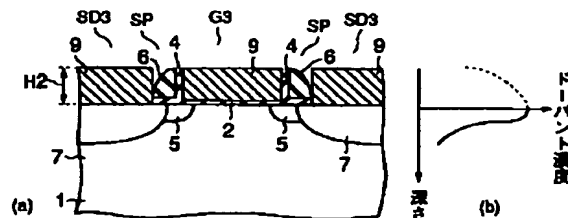
【図 9】



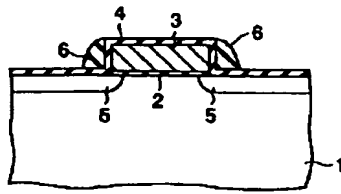
【図 10】



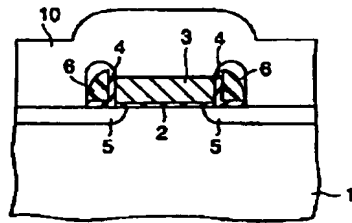
【図 11】



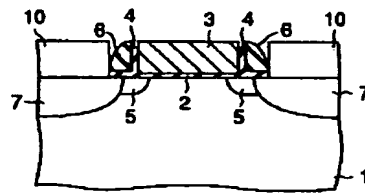
【図12】



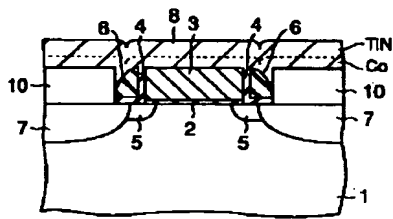
【図13】



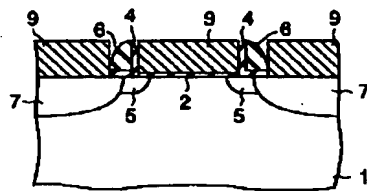
【図14】



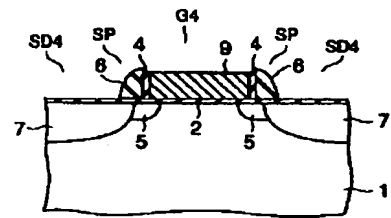
【図15】



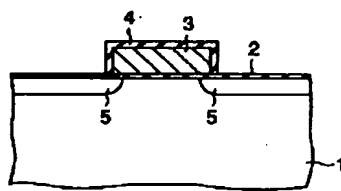
【図16】



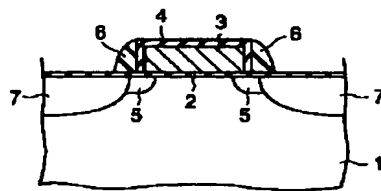
【図17】



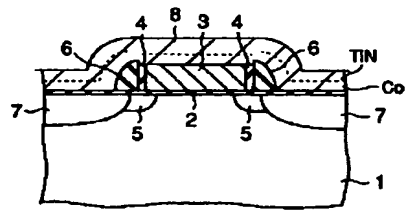
【図18】



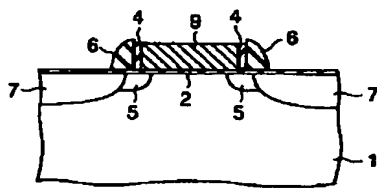
【図19】



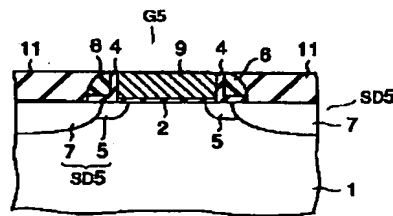
【図20】



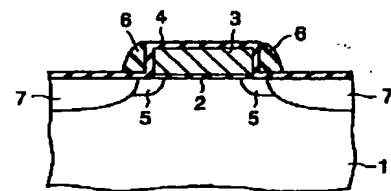
【図21】



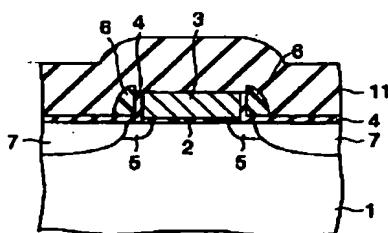
【図22】



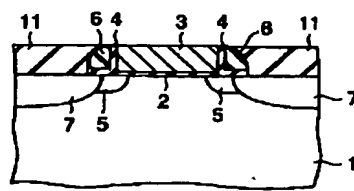
【図23】



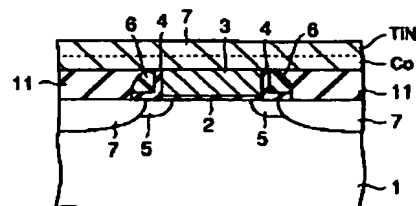
【図24】



【図25】

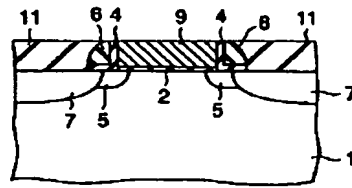


【図26】





【図 27】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

テーマコード (参考)

6 1 2 A  
6 1 7 S

F ターム (参考) 4M104 AA01 BB20 BB21 BB25 CC01  
CC05 DD04 DD37 DD80 DD84  
DD88 DD99 EE03 EE09 EE12  
EE14 EE17 FF26 GG09 HH16  
5F040 DA01 DA10 DA13 DA14 DC01  
EC04 EC09 ED03 ED04 ED05  
EF01 EF02 EF11 EH02 EH07  
EJ03 EK02 EK05 FA03 FA05  
FA07 FA16 FA19 FB02 FC00  
FC07 FC19